

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222913

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/12

(21)Application number : 2001-016420

(71)Applicant : SHARP CORP

(22)Date of filing : 24.01.2001

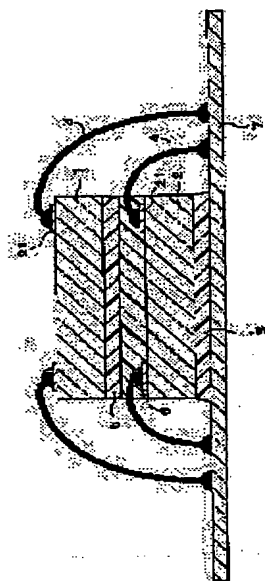
(72)Inventor : FUKUI YASUKI  
NAMII ATSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein a plurality of semiconductor chips are formed on a substrate for sure insulation.

SOLUTION: In the semiconductor device, a first semiconductor chip 1 and a second semiconductor chip 2 are formed on the substrate 7, and electrode terminals 21 formed on the semiconductor chips 1 and 2, respectively, are electrically connected with the substrate 7 through first bonding wires 3 and second bonding wires 4. An insulating layer 5 is formed between the second bonding wires 4 and the first semiconductor chip 1.



## LEGAL STATUS

[Date of request for examination]

31.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation..

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The electrode terminal which the laminating of two or more semiconductor chips is carried out on the substrate, and is prepared in each of a semiconductor chip is a semiconductor device which is a semiconductor device electrically connected to the substrate by the bonding wire, and is characterized by forming the insulating layer between the semiconductor chips by which the laminating is carried out to this bonding wire and bonding wire side of the semiconductor chip to which this bonding wire is connected.

[Claim 2] The semiconductor device according to claim 1 characterized by the above-mentioned insulating layer being polyimide system resin.

[Claim 3] The above-mentioned insulating layer thickness is a semiconductor device according to claim 1 or 2 characterized by being within the limits of 15 micrometers or more 30 micrometers or less.

[Claim 4] It is the semiconductor device according to claim 1, 2, or 3 which the bump is formed in the above-mentioned electrode terminal, and is characterized by connecting the above-mentioned bonding wire using the reverse wire-bonding method.

[Claim 5] A semiconductor device given in any 1 term of claims 1-4 characterized by forming the external terminal in the field where the semiconductor chip and the above-mentioned bonding wire of the above-mentioned plurality by which the laminating was carried out to the above-mentioned substrate are closed with closure resin, and the laminating of two or more above-mentioned semiconductor chips of the above-mentioned substrate was carried out, and the field of an opposite hand.

[Claim 6] A semiconductor device given in any 1 term of claims 1-5 characterized by forming the glue line between [ above-mentioned / two or more ] semiconductor chips.

[Claim 7] The above-mentioned glue line is a semiconductor device according to claim 6 characterized by being formed between the above-mentioned insulating layer and the above-mentioned semiconductor chip by the side of the above-mentioned substrate.

[Claim 8] The above-mentioned glue line is a semiconductor device according to claim 6 or 7 characterized by being epoxy system resin.

[Claim 9] The thickness of the above-mentioned glue line is a semiconductor device according to claim 6, 7, or 8 characterized by this bonding wire of the above-mentioned bonding wire being larger than the height from the field of the above-mentioned semiconductor chip connected through the above-mentioned electrode terminal.

[Claim 10] A semiconductor device given in any 1 term of claims 1-9 characterized by forming the insulating resin layer in the field except this electrode terminal of the field in which the above-mentioned electrode terminal of the above-mentioned semiconductor chip is prepared.

[Claim 11] It is the manufacture approach of a semiconductor device given in any 1 term of claims 1-10. The sheet attachment process of sticking on the wafer before a semiconductor chip is divided the sheet which consists of an insulating layer and a glue line so that the insulating-layer side of this sheet may touch this wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned sheet was stuck by dicing, and the above-mentioned glue line The manufacture

approach of the semiconductor device characterized by including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[Claim 12] The insulating-layer attachment process of sticking on the wafer before a semiconductor chip is divided the insulating-layer sheet which is the manufacture approach of the semiconductor device a publication and becomes any 1 term of claims 1-10 from an insulating layer, The glue line attachment process of sticking the glue line sheet which consists of a glue line after the above-mentioned insulating-layer attachment process on the field where it was stuck on the above-mentioned insulating-layer sheet of the above-mentioned wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned insulating-layer sheet and the glue line sheet were stuck by dicing, and the above-mentioned glue line The manufacture approach of the semiconductor device characterized by including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which carries out the laminating of two or more semiconductor chips, and carries them especially in a single package, and its manufacture approach about a semiconductor device.

[0002]

[Description of the Prior Art] Miniaturization of a semiconductor device and high performance-ization are attained by carrying two or more semiconductor chips (semiconductor device) in a single package in recent years. For example, added value is given to the memory carried in a pocket device etc., or it aims at increasing memory space, and there is a package which carries out the laminating of two or more semiconductor chips, and carries them.

[0003] Although a semiconductor device is constituted including a semiconductor chip and a substrate, the wire-bonding method which connects using a bonding wire as a method which connects both electrically is used widely.

[0004] In using the wire-bonding method for connection between a semiconductor chip and a substrate, in case it carries out the laminating of the semiconductor chip, it is necessary to make it not harm the part to which wire bonding of the semiconductor chip already carried on the substrate was carried out. When the chip size of the semiconductor chip by which a laminating is carried out is smaller than the chip size of the semiconductor chip carried on the above-mentioned substrate, the part by which wire

bonding was carried out [ above-mentioned ] is not harmed, but since the above-mentioned part by which wire bonding was carried out laps with the semiconductor chip by which a laminating is carried out when both chip size is comparable, there is a problem of being especially easy to be spoiled.

[0005] In order to solve the above-mentioned problem, the semiconductor device (refer to JP,6-244360,A) of the structure that the semiconductor device (refer to USP No. 5,291,061 official report) with which about 200 micrometers (0.008 inches) spacer was enclosed, and the periphery section were formed to the center section at thin meat between the semiconductor chips by which a laminating is carried out and of having a level difference, the semiconductor device (refer to JP,10-27880,A) which a glue line is made to intervene between semiconductor chips, and comes to carry out a laminating are proposed.

[0006]

[Problem(s) to be Solved by the Invention] However, the problem shown below, respectively arises in the above-mentioned conventional semiconductor device.

[0007] The spacer which has sufficient thickness needs to be used for the semiconductor device of the structure where the spacer was enclosed between the above-mentioned semiconductor chips by which a laminating is carried out in order to prevent contact to the bonding wire connected to the semiconductor chip carried in the substrate, and the semiconductor chip by which a laminating is carried out on it. For this reason, there is a problem of being unsuitable in thin shape-ization of a package.

[0008] That is, as shown in drawing 13 , in order to prevent contact to the 2nd bonding wire 4 and the 1st semiconductor chip 1 which connect the 2nd semiconductor chip 2 and a substrate 7, it is necessary to make a spacer 14 into sufficient thickness. When the thickness of a spacer 14 is comparable as the height from the 2nd semiconductor chip 2 to the highest part of the 2nd bonding wire 4, as shown in drawing 14 , when the 2nd bonding wire 4 and the 1st semiconductor chip 1 contact, the problem that both insulation becomes imperfection is invited.

[0009] Moreover, as the 1st semiconductor chip 1 is shown in drawing 13 , it is overhanging, namely, the 1st semiconductor chip 1 has projected rather than the spacer 14. For this reason, in the 1st semiconductor chip 1, it is easy to produce an oscillation. Here, in the wire-bonding method which connects a semiconductor chip and a substrate electrically, although two connection is made in order to connect the ends of a bonding wire, next connection is made by supersonic vibration. As mentioned above, since it is easy to produce an oscillation, the 1st semiconductor chip 1 is difficult for connecting the 1st semiconductor chip 1 side of the 1st bonding wire 3 by supersonic vibration. For this reason, in the wire-bonding method, after connecting the 1st semiconductor chip 1 side of the 1st bonding wire 3, it is necessary to connect a substrate 7 side.

[0010] That is, as a wire-bonding method to the 1st semiconductor chip 1 carried on the spacer 14, only the forward wire-bonding method is employable. Therefore, as compared with the case where the reverse wire-bonding method is adopted, it is necessary to arrange more the wire-bonding terminal by the side of a substrate 7 outside. For this reason, making a package small invites the problem of being difficult. In addition, the forward wire-bonding method means the approach of connecting a bonding wire and a substrate, after connecting a semiconductor chip and a bonding wire, and the approach of connecting in order of the reverse is called reverse wire-bonding method.

[0011] In the case of the semiconductor device of the structure that the periphery section of the semiconductor chip shown in drawing 15 was formed in thin meat to the center section and of having a level difference, in order to form the above-mentioned level difference as compared with the conventional process in addition to the process which cuts a semiconductor chip, the cut process which cuts a semi-conductor wafer is required. Moreover, in the cut process concerned, it is necessary to protect the side in which the component of an opposite hand, i.e., a semiconductor chip, is formed with the side to which this cut is performed. For this reason, the problem that a manufacturing cost increases is invited.

[0012] Moreover, processing for an insulation is not performed to the part into which the above-

mentioned semiconductor device has the level difference of the 9th semiconductor chip 51. For this reason, in thin-shape-izing a package, as shown in drawing 16 , it invites the problem which the 2nd bonding wire 4 and the 9th semiconductor chip 51 contact, and becomes inadequate [ both insulation ]. Moreover, in making the 9th semiconductor chip 51 thin, since the part which has a level difference also becomes thin and reinforcement falls, it also invites the problem of becoming easy to generate a chip crack etc.

[0013] Only the forward wire-bonding method is employable like the structure where the spacer was enclosed between the semiconductor chips by which a laminating is carried out as a wire-bonding method which connects the semiconductor chip and substrate of the structure of having the above-mentioned level difference. When using the forward wire-bonding method, the height from the semiconductor chip to which this bonding wire of a bonding wire was connected cannot be made low. For this reason, in multilayering and carrying a semiconductor chip, it invites the problem that it becomes difficult to thin-shape-size a semiconductor device.

[0014] Moreover, since only the forward wire-bonding method is employable as mentioned above, compared with the case where the reverse wire-bonding method is adopted, it is necessary to arrange more the wire-bonding terminal by the side of a substrate 7 outside. For this reason, making a package small also invites the problem of being difficult.

[0015] In the case of the structure which a glue line is made to intervene between [ which is shown in drawing 17 ] semiconductor chips, and comes to carry out a laminating, it is difficult to control the thickness and the field of the glue line 6 which pastes up the 1st semiconductor chip 1 and the 2nd semiconductor chip 2. for this reason, the adhesives which constitute a glue line 6 — oozing out (bleeding) — etc. — problems, like an inclination arises are invited to contamination of the substrate 7 to twist, and the 1st semiconductor chip 1 by which the laminating was carried out.

[0016] Since the inclination of the variation in the height of a semiconductor device, the variation of the height from a substrate to the front face of the semiconductor chip of the maximum upper layer, and the semiconductor chip of the maximum upper layer etc. becomes large when multilayering a semiconductor chip especially, the problem that the stable production becomes difficult is invited. that is, when the number of laminatings is two pieces, even if above-mentioned variation and an above-mentioned inclination do not pose a big problem, since [ which the number of the semiconductor chips by which a laminating is carried out increases with three pieces and four pieces ] it is alike, and it follows and the variation and the inclination of the above-mentioned height become large, they invite the problem that the production by which the semiconductor device was stabilized becomes difficult.

[0017] Moreover, in thin-shape-izing the package of a semiconductor device, as shown in drawing 18 , it also invites the problem that both insulation becomes imperfection, by contact to the 2nd bonding wire 4 and the 1st semiconductor chip 1.

[0018] It was not made in order that this invention might solve the above-mentioned problem, and the object is in offering the semiconductor device which can concern and carry out a laminating to the chip size of a semiconductor chip and with which insulation was secured, and its manufacture approach.

[0019]

[Means for Solving the Problem] In the condition of having stuck the two-layer resin layer which becomes a semi-conductor wafer from an insulating layer and a glue-line as a problem-solving means for solving the above-mentioned technical problem, the approach of carrying out the laminating of the semiconductor chip (it having started) divided by dicing is used for this invention. Thereby, a dimension is small and the semiconductor device with which insulation was secured can be manufactured with sufficient productivity. Moreover, in case the above-mentioned semiconductor device carries out the laminating of the semiconductor chip, it does not need to avoid the bonding wire section. For this reason, it becomes possible not to be concerned with that chip size but to carry out the laminating of the semiconductor chip.

[0020] In order that the semiconductor device of this invention may solve the above-mentioned

technical problem, the electrode terminal which the laminating of two or more semiconductor chips is carried out on the substrate, and is prepared in each of a semiconductor chip is a semiconductor device electrically connected to the substrate by the bonding wire, and it is characterized by forming the insulating layer between the semiconductor chips by which the laminating is carried out to this bonding wire and bonding wire side of the semiconductor chip to which this bonding wire is connected.

[0021] The above-mentioned configuration can protect that a bonding wire and a semiconductor chip contact. For this reason, the insulation of the semiconductor device which comes to carry out the laminating of two or more semiconductor chips is securable.

[0022] The semiconductor chip with which the laminating of two or more semiconductor chips is carried out on a substrate in the semiconductor device by which the laminating was carried out is connected to the substrate and the electric target by the bonding wire through the electrode terminal prepared in each semiconductor chip. Here, in order to secure the insulation of a semiconductor device, it is required to prevent contact to a bonding wire and a semiconductor chip. In order to thin-shape-ize a semiconductor device especially, it is necessary to make distance between semiconductor chips small, but since the distance of a bonding wire and a semiconductor chip becomes small in this case, there is a possibility that both may become easy to contact and insulation may become inadequate.

[0023] Then, it can prevent that both contact by forming an insulating layer between the semiconductor chips by which the laminating is carried out to this bonding wire and bonding wire side of the semiconductor chip to which this bonding wire is connected. That is, contact to a bonding wire and the semiconductor chip which adjoins the semiconductor chip to which this bonding wire is connected can be prevented by forming the insulating layer between the electrode terminal to which the bonding wire on a semiconductor chip was connected, and the semiconductor chip which adjoins this semiconductor chip.

[0024] Thereby, the insulation of the semiconductor device which comes to carry out the laminating of two or more semiconductor chips is securable. For example, since an insulating layer can protect contact to a semiconductor chip and a bonding wire when a semiconductor device is thin-shape-ized by making distance between semiconductor chips small, the insulation of a semiconductor device is securable.

[0025] Thus, two or more semiconductor chips can prevent on a substrate that the insulation of a bonding wire and a semiconductor chip becomes inadequate in the semiconductor device by which the laminating was carried out. That is, since both contact is prevented by a bonding wire, a semiconductor chip, and the insulating layer formed in between, the insulation of a semiconductor device is securable.

[0026] Therefore, since the insulation of the semiconductor device with which the laminating of two or more semiconductor chips was carried out on the substrate is securable, it thin-shape-izes, and when the dimension is made small, it becomes possible to offer the reliable semiconductor device with which insulation was secured.

[0027] As for the semiconductor device of this invention, it is desirable that the above-mentioned insulating layer is polyimide system resin. As polyimide system resin, it excels in thermal resistance and it is desirable to choose and use an ingredient with little hot plastic deformation. An insulating layer with little hot plastic deformation can be formed by using what is excellent in thermal resistance as polyimide system resin. Therefore, the insulation of the semiconductor device under a high temperature service can be made more reliable by forming an insulating layer with polyimide resin.

[0028] As for the above-mentioned insulating layer thickness of the semiconductor device of this invention, it is desirable that it is within the limits of 15 micrometers or more 30 micrometers or less. By making the above-mentioned insulating layer thickness into within the limits of the above, the semiconductor device which comes to carry out the laminating of the semiconductor chip can be thin-shape-ized, securing insulation.

[0029] The bump is formed in the above-mentioned electrode terminal of the semiconductor device of this invention, and, as for the above-mentioned bonding wire, connecting using the reverse wire-bonding

method is desirable.

[0030] By the above-mentioned configuration, distance between semiconductor chips by which a laminating is carried out can be made small. That is, the reverse wire-bonding method can be used as an approach of connecting this electrode terminal and the above-mentioned substrate to the above-mentioned electrode terminal by the bonding wire by forming a bump. For this reason, distance between the above-mentioned semiconductor chips can be made small.

[0031] That is, this bonding wire of the bonding wire at the time of using the forward wire-bonding method as an approach of making the above-mentioned connection can make the above-mentioned bump's height smaller than the height from the field of the semiconductor chip connected through the above-mentioned electrode terminal. And a bonding wire can be more certainly connected by using the reverse wire-bonding method.

[0032] Therefore, since distance between semiconductor chips by which a laminating is carried out can be made small, it becomes possible to thin-shape-size easily the semiconductor device which comes to carry out the laminating of two or more semiconductor chips. Moreover, since a bonding wire can be connected more certainly, a more reliable semiconductor device can be offered. In addition, the reverse wire-bonding method means the approach of connecting a semiconductor chip and a bonding wire, after connecting a bonding wire and a substrate, and the approach of connecting in order of the reverse is called forward wire-bonding method.

[0033] As for the semiconductor device of this invention, it is desirable that the external terminal is formed in the field where the semiconductor chip and the above-mentioned bonding wire of the above-mentioned plurality by which the laminating was carried out to the above-mentioned substrate are closed with closure resin, and the laminating of two or more above-mentioned semiconductor chips of the above-mentioned substrate was carried out, and the field of an opposite hand. This becomes possible to protect a semiconductor chip and a bonding wire with closure resin. Moreover, a semiconductor device and the exterior are electrically connectable easily with an external terminal.

[0034] As for the semiconductor device of this invention, it is desirable that the glue line is formed between [ above-mentioned / two or more ] semiconductor chips. By pasting up two or more above-mentioned semiconductor chips using the above-mentioned glue line, the laminating of the semiconductor chip can be carried out easily.

[0035] As for the above-mentioned glue line of the semiconductor device of this invention, it is desirable to be formed between the above-mentioned insulating layer and the above-mentioned semiconductor chip by the side of the above-mentioned substrate. The above-mentioned configuration enables it to protect the above-mentioned bonding wire between the above-mentioned insulating layer and the above-mentioned semiconductor chip by the side of the above-mentioned substrate by the above-mentioned glue line.

[0036] As for the above-mentioned glue line of the semiconductor device of this invention, it is desirable that it is epoxy system resin. Epoxy system resin is fused into a liquid from a solid-state by heating, since it is the thermosetting resin which carries out postcure, after it pastes up a semiconductor chip, can be hardened, and can protect the above-mentioned bonding wire.

[0037] As for the thickness of the above-mentioned glue line of the semiconductor device of this invention, it is desirable that this bonding wire of the above-mentioned bonding wire is larger than the height from the field of the above-mentioned semiconductor chip connected through the above-mentioned electrode terminal. It can prevent the semiconductor chip which adjoins by this the semiconductor chip to which the above-mentioned bonding wire and this bonding wire were connected contacting. Therefore, it can prevent certainly that the above-mentioned bonding wire is damaged by contact to the semiconductor chip which adjoins each other the account of a top.

[0038] It is desirable that the insulating resin layer is formed in the field except this electrode terminal of the field in which the electrode terminal of the above-mentioned semiconductor chip of the semiconductor device of this invention is prepared. Thereby, contact to the above-mentioned bonding

wire and the above-mentioned semiconductor chip to which this bonding wire is connected through the above-mentioned electrode terminal can be prevented. That is, since the field in which the electrode terminal of the above-mentioned semiconductor chip is prepared is covered with the insulating resin layer except for the electrode terminal, it can prevent that the above-mentioned bonding wire and the above-mentioned semiconductor chip contact.

[0039] The sheet attachment process of sticking on the wafer before a semiconductor chip is divided the sheet with which the semiconductor device of this invention consists of an insulating layer and a glue line so that the insulating-layer side of this sheet may touch this wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned sheet was stuck by dicing, and the above-mentioned glue line It can manufacture by the approach including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0040] Moreover, the sheet attachment process of sticking on the wafer before a semiconductor chip is divided the sheet with which the semiconductor device of this invention consists of an insulating layer and a glue line so that the insulating-layer side of this sheet may touch this wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned sheet was stuck by dicing, and the above-mentioned glue line It can manufacture by the approach including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0041] The above-mentioned approach enables it to manufacture the semiconductor device of this invention easily and certainly. That is, in the division process divided into a semiconductor chip, an insulating layer and a glue line can be started to a semiconductor chip and coincidence. That is, these can be started at a time. For this reason, it becomes possible to form the insulating layer and glue line of the same size as the chip size of a semiconductor chip.

[0042] Therefore, it becomes possible to perform very easily control of the adhesion field of a glue line, the amount of adhesion, and thickness, and the semiconductor device of this invention can be manufactured easily and certainly. In addition, in this invention, a "chip size" means the length of the field facing the substrate of a semiconductor chip, or other semiconductor chips, and horizontal appearance size.

[0043]

[Embodiment of the Invention] It will be as follows if one gestalt of operation of this invention is explained based on drawing 1 R> 1 thru/or drawing 12 . In addition, thereby, this invention is not limited at all.

[0044] Drawing 1 - drawing 4 are the explanatory views showing the configuration of the semiconductor device of the gestalt of this operation.

[0045] The semiconductor device which comes to carry out the laminating of the two semiconductor chips is shown in drawing 1 . As shown in this drawing, the semiconductor device of the gestalt of this operation is equipped with the 1st semiconductor chip 1, the 2nd semiconductor chip 2, the 1st bonding wire 3, the 2nd bonding wire 4, an insulating layer 5, a glue line 6, a substrate 7, the adhesives layer 8, and an electrode terminal 21, and becomes. In addition, in the gestalt of this operation, in not distinguishing the semiconductor chip by which the laminating is carried out on the substrate 7, suppose that it only expresses a semiconductor chip.

[0046] On the substrate 7 which constitutes the semiconductor device of the gestalt of this operation, the 2nd semiconductor chip 2 has pasted up through the adhesives layer 8, and the 1st semiconductor chip 1 has pasted the substrate 7 of the 2nd semiconductor chip 2, and the field of an opposite hand through the insulating layer 5 by the glue line 6. The 1st bonding wire 3 connects electrically the electrode terminal 21 and substrate 7 of the 1st semiconductor chip 1, and the 2nd bonding wire 4 connects electrically the electrode terminal 21 and substrate 7 of the 2nd semiconductor chip 2. In addition, the electrode terminal 21 is formed in the field of an opposite hand in the substrate 7 of the



1st semiconductor chip 1 and the 2nd semiconductor chip 2.

[0047] Especially the class of semiconductor chip which constitutes the semiconductor device of the gestalt of this operation is not limited, but can use the thing of arbitration. As two or more semiconductor chips, although the combination of the thing with the same appearance and the electrode terminal prepared in the semiconductor chip when a laminating was carried out lap with other semiconductor chips by which a laminating is carried out to this semiconductor chip, combination can be used suitably, for example. The semiconductor device constituted by carrying out the laminating of the semiconductor chip of the same appearance to drawing 1 - drawing 4 is shown.

[0048] A semiconductor device with the thickness of a glue line 6 smaller than height B from the field in which the electrode terminal 21 of the 2nd semiconductor chip 2 of the 2nd bonding wire 4 is formed is shown in drawing 2. As shown in this drawing, the semiconductor device of the gestalt of this operation can prevent both contact by the insulating layer 5 which intervenes between the 1st semiconductor chip 1 and the 2nd bonding wire 4. That is, the insulation of a semiconductor device is securable with an insulating layer 5.

[0049] The semiconductor device with which the laminating of the four semiconductor chips is carried out, and they are carried is shown in drawing 3. As shown in this drawing, the laminating of the 2nd semiconductor chip 2, the 1st semiconductor chip 1, the 3rd semiconductor chip 18, and the 4th semiconductor chip 20 is carried out to this semiconductor device from the substrate 7 side at order, and the insulating layer 5 and the glue line 6 intervene between these semiconductor chips. Thus, while pasting up each semiconductor chip by the glue line 6 when the laminating of many semiconductor chips is carried out, and an insulating layer 5 and a glue line 6 intervene between semiconductor chips, it can prevent a bonding wire and a semiconductor chip contacting by the insulating layer 5.

[0050] In order to thin-shape-ize the semiconductor device which comes to carry out the laminating of the semiconductor chip, it is effective to make thin thickness of the glue line 6 which pastes up a semiconductor chip, but when the insulating layer 5 is not formed between semiconductor chips, the thickness of a glue line 6 will follow on becoming thin, a bonding wire and a semiconductor chip will contact, and there is a possibility that the insulation of a semiconductor device may no longer be secured.

[0051] However, by the insulating layer 5 which intervenes between semiconductor chips, since the semiconductor device of the gestalt of this operation can prevent a bonding wire and a semiconductor chip contacting, when the thickness of a glue line 6 becomes thin, it can secure insulation.

[0052] That is, it can thin-shape-ize, securing the insulation of the semiconductor device which comes to carry out the laminating of many semiconductor chips. In addition, in the semiconductor device shown in drawing 3, although the number of the semiconductor chips by which a laminating is carried out was made into four pieces, the number of semiconductor chips is not limited to this, and can be made into the number of arbitration.

[0053] The semiconductor device (it omits Chip Size Package and Following GSP) closed by drawing 4 with closure resin is shown. As shown in this drawing, with the field where the semiconductor device of the gestalt of this operation is closed with closure resin 15, and the semiconductor chip of a substrate 7 was mounted, the terminal 16 for external connection for connecting a substrate 7 and the exterior electrically (external terminal) is formed in the field of an opposite hand. As the above-mentioned closure resin 15, thermosetting resin can be used and, specifically, an epoxy resin, silicone resin, etc. can be used suitably.

[0054] How to manufacture the semiconductor device of this invention is explained using drawing 5 - drawing 7.

[0055] First, how to form an insulating layer and a glue line in the rear face of a semiconductor chip is explained. In addition, suppose that the field in which a front face and an electrode terminal are not formed in the field in which the electrode terminal of a semiconductor chip is formed is expressed as a rear face in the gestalt of this operation.

[0056] Formation of an insulating layer and a glue line is performed in the condition of the wafer before forming various kinds of components and becoming a semiconductor chip. In addition, the rear face may be ground in the condition of a wafer. Since thickness of a wafer can be made thin by this before forming an insulating layer and a glue line, it becomes possible to miniaturize in a semiconductor chip pan.

[0057] As an approach of forming an insulating layer and a glue line in the rear face of a wafer, as shown in drawing 5, the method of using the roller 10 for pasting for the rear face of a wafer 9, and sticking on it the sheet 22 of the two-layer structure which consists of an insulating layer 5 and a glue line 6 is mentioned. In addition, a sheet 22 is stuck on it as an insulating layer 5 touches the rear face of a wafer 9.

[0058] In this drawing, although the sheet 22 which consists of an insulating layer 5 and a glue line 6 was used, each of the sheet-like insulating layer 5 and a glue line 6 may be stuck similarly. That is, after sticking the sheet-like insulating layer 5 on a wafer rear face, an insulating layer 5 and a glue line 6 may be formed in the rear face of a wafer by sticking the sheet-like glue line 6 from on the further.

[0059] As for an insulating layer 5 and a glue line 6, it is desirable to form thickness using the ingredient of the gestalt of the shape of a uniform sheet. Thereby, the uniform insulating layer 5 and uniform glue line 6 of thickness can be easily formed in the rear face of a wafer 9.

[0060] As an insulating layer 5, it excels in thermal resistance and resin with little 100 degrees C – 200 degrees C plastic deformation is used suitably. As for an insulating layer 5, specifically, it is desirable that it is resin of a polyimide system.

[0061] When plastic deformation uses large resin in an elevated temperature, it may become impossible for an insulating layer 5 to deform plastically and to secure the insulation of a semiconductor device in the bottom of a high temperature service. On the other hand, since it can prevent that an insulating layer 5 deforms into the bottom of a high temperature service by using the resin which is excellent in thermal resistance, the insulation of the semiconductor device under a high temperature service is securable.

[0062] Although the thickness of an insulating layer 5 is not limited especially, when thin shape-ization of the semiconductor device (package) which comes to carry out the laminating of two or more semiconductor chips etc. is taken into consideration that what is necessary is just what insulation is secured and can be stuck on a wafer rear face, it is desirable that it is within the limits of 15 micrometers or more 30 micrometers or less. A semiconductor device can be thin-shape-ized, securing the insulation of a semiconductor device by considering as above-mentioned [ the thickness of an insulating layer 5 ] within the limits.

[0063] Moreover, the thermosetting resin which fuses from a solid-state to a liquid with heating, and is hardened after that as a glue line 6 is desirable, and an epoxy resin is desirable also especially in it. There is also the object which closes and protects the 2nd bonding wire 4 connected to the electrode terminal 21 of the 2nd semiconductor chip 2 other than pasting up semiconductor chips in a glue line 6. As for thickness A (refer to drawing 7) of this to the glue line 6, it is desirable that it is more than height B (refer to drawing 7) from the 2nd semiconductor chip 2 of the 2nd bonding wire 4.

[0064] After forming an insulating layer 5 and a glue line 6 in the rear face of a wafer 9, how to use the dicing blade 11 and start to the piece of an individual as a semiconductor chip is explained using drawing 6. As shown in this drawing, the wafer 9 with which the insulating layer 5 and the glue line 6 were formed is carried on the firmly attached seat 12 for cutting, and it starts to a semiconductor chip by cutting using the dicing blade 11. Thereby, an insulating layer 5, a glue line 6, and a wafer 9 can be cut at once, and it can separate into a semiconductor chip. That is, in case a wafer 9 is cut using the dicing blade 11, it can consider as the semiconductor chip with which the insulating layer 5 and glue line 6 of the same size as the chip size of a semiconductor chip were formed by cutting simultaneously an insulating layer 5 and a glue line 6.

[0065] By manufacturing a semiconductor chip using the approach mentioned above, it becomes

possible to perform very easily control of the adhesion field of the glue line of a semiconductor chip, the amount of adhesives, and its thickness as compared with the approach of applying adhesives and forming a glue line.

[0066] The approach of carrying out the laminating of the semiconductor chip obtained as mentioned above on a substrate, i.e., the production approach of a package, is explained below using drawing 7. As shown in this drawing, the 2nd semiconductor chip 2 is first carried in a substrate 7 using adhesives. That is, the 2nd semiconductor chip 2 will be carried in a substrate 7 through the adhesives layer 8 formed by the above-mentioned adhesives.

[0067] Although the organic substrate produced as the above-mentioned substrate 7 by the leadframe which has a wire bond terminal, polyimide, bismaleimide triazine resin, etc., for example can be used, it is not limited to these but the substrate of arbitration can be used. As adhesives which form the above-mentioned adhesives layer 8, liquefied adhesives, sheet-like adhesives, etc. can be used, for example. Moreover, the class will not be asked if the above-mentioned adhesives can paste up all the fields and substrate 7 of the 1st semiconductor chip 1 on homogeneity.

[0068] After carrying the 2nd semiconductor chip 2 in a substrate 7, the wire-bonding terminal section of a substrate 7 and the electrode terminal 21 of the 2nd semiconductor chip 2 are electrically connected by the 2nd bonding wire 4.

[0069] Then, the 1st semiconductor chip 1 is pasted up on the 2nd semiconductor chip 2 carried in the substrate 7. The above-mentioned adhesion is performed by [ as covering with a glue line 6 the part to which the 2nd bonding wire 4 on the electrode terminal 21 prepared in the 2nd semiconductor chip 2 is connected ].

[0070] In case the above-mentioned adhesion is performed, it is desirable to heat a substrate 7, the 2nd semiconductor chip 2, and the 2nd bonding wire 4, and to make it the temperature from which softening and melting of the EPOSHIKI resin which constitutes the glue line 6 formed in the rear face of the 1st semiconductor chip 1 begin. For example, when the temperature from which softening and melting of the epoxy resin which constitutes the above-mentioned glue line 6 begin is 100 degrees C, a substrate 7, the 2nd semiconductor chip 2, and the 2nd bonding wire 4 are heated, and it may be 100 degrees C. Since the glue line 6 formed in the rear face of the 1st semiconductor chip 1 softens by this in case the 1st semiconductor chip 1 and the 2nd semiconductor chip 2 are pasted up, it becomes possible to paste both up, without harming the 2nd bonding wire 4.

[0071] Then, after stiffening thoroughly the thermosetting resin which constitutes a glue line 6, the 1st bonding wire 3 (refer to drawing 1) is used, and the wire-bonding terminal section of a substrate 7 and the electrode terminal 21 on the 1st semiconductor chip 1 are connected electrically.

[0072] As the 1st bonding wire 3 and the 2nd bonding wire 4 are shown in drawing 8, contacting the periphery section of the 1st semiconductor chip 1 and the 2nd semiconductor chip 2 is also considered, respectively. For this reason, as shown in drawing 9, it is desirable that coating resin (insulating resin layer) 13 is formed in the field in which the electrode terminal 21 of the 1st semiconductor chip 1 and the 2nd semiconductor chip 2 is formed. Coating resin 13 is for preventing that a semiconductor chip and a bonding wire contact, for example, insulating resin, such as polyimide, is used.

[0073] After carrying out the laminating of the semiconductor chip on a substrate as mentioned above, CSP can be obtained by forming the terminal 16 for external connection which consists of closure resin 15 shown in drawing 4, and a pewter ball.

[0074] When the laminating of the semiconductor chip is carried out on a substrate, a bonding wire and a semiconductor chip may be closed by potting which used liquefied resin (resin).

[0075] As an approach (the wire-bonding method) of connecting the electrode terminal 21 prepared in the 2nd semiconductor chip 2, and the 2nd bonding wire 4, after forming a bump in an electrode terminal 21, it is effective in thin-shape-izing of a semiconductor device to perform the reverse wire-bonding method. Since thickness A (refer to drawing 7) of a glue line 6 can be made thin by this, it is effective in especially thin-shape-izing of the semiconductor device which comes to carry out the laminating of

many semiconductor chips.

[0076] As mentioned above, as for thickness A of a glue line 6, it is desirable that it is smaller than height B (refer to drawing 7) from the 2nd semiconductor chip 2 of the 2nd bonding wire 4. The height of a bump required in order to make the above-mentioned connection by the reverse wire-bonding method can be made smaller than height B (refer to drawing 7) from the field of the 2nd semiconductor chip 2 in which the electrode terminal 21 of the 2nd bonding wire 4 connected by the forward wire-bonding method was formed. For this reason, a bump 23 (refer to drawing 7) can be formed in an electrode terminal 21, and thickness of a glue line 6 can be made thin by performing the reverse wire-bonding method.

[0077] For example, when the above-mentioned bump is formed so that the height may be set to 40 micrometers, and thickness of 25 micrometers and a glue line 6 is set to 50 micrometers for the thickness of the insulating layer 5 of the 1st semiconductor chip 1, the thickness of the chip laminating part which consists of an insulating layer 5 and a glue line 6 is 75 micrometers. On the other hand, since it is difficult to make small the height from the field of the semiconductor chip to which this bonding wire of a bonding wire was connected when the forward wire-bonding method is adopted, the thickness of the above-mentioned chip laminating part is set to about about 130-160 micrometers.

[0078] That is, since the above-mentioned chip laminating part can be made thin by using the reverse wire-bonding method as an approach of connecting an electrode terminal 21 and the 2nd bonding wire 4, it is advantageous to thin-shape-izing of the many lamination and semiconductor device of a semiconductor chip. Therefore, it is thinner than the conventional thing and it becomes possible to realize the laminating of the reliable semiconductor chip with which insulation etc. was secured.

[0079] In addition, after the reverse wire-bonding method connects a substrate and a bonding wire, it means the approach of connecting a semiconductor chip and a bonding wire, and calls the approach of connecting in order of the reverse the forward wire-bonding method. When performing the reverse wire-bonding method, a golden bump is formed on the electrode terminal prepared in the semiconductor chip, connection between a bonding wire and a substrate is made first, and connection with the above-mentioned bonding wire and the above-mentioned golden bump is made after that.

[0080] The chip size of the semiconductor chip with which, as for the semiconductor device of the gestalt of this operation, the laminating of the insulation of a semiconductor chip and a bonding wire is carried out by the insulating layer from fully being secured is not restrained. For this reason, as shown in drawing 10, the substrate 7 of the 6th semiconductor chip 32 is possible also for carrying out the laminating of the 5th semiconductor chip 31 with a larger chip size than the 6th semiconductor chip 32 to the field of an opposite hand.

[0081] It can also be combined since the semiconductor device of the gestalt of this operation can carry out the laminating of the semiconductor chip to the part to which the bonding wire of the electrode terminal prepared in the semiconductor chip was connected, for example, so that it may become the arrangement (layout) which shows two or more semiconductor chips by which a laminating is carried out to drawing 11 or drawing 12. There is an advantage that the wire length of the 2nd bonding wire 4 who connects the 6th semiconductor chip 32 and a substrate 7 (refer to drawing 10) becomes short, by considering as the arrangement shown in this drawing rather than it carries out the laminating of the 6th semiconductor chip 32 on the 5th semiconductor chip 31.

[0082] As especially shown in drawing 11, the space between the 5th semiconductor chip 31 and a substrate 7 can be effectively used by pasting up the 5th bigger semiconductor chip 31 than the 6th semiconductor chip 32 on the 6th semiconductor chip 32 carried in the substrate 7 (R> drawing 10 0 reference) so that the 2nd bonding wire 4 may be located between the 5th semiconductor chip 31 and a substrate 7. For this reason, a semiconductor device can be miniaturized further.

[0083] Moreover, as shown in drawing 12, the space between the 7th semiconductor chip 41 and a substrate 7 can be effectively used for the 8th semiconductor chip 42 carried in the substrate 7 (R> drawing 10 0 reference) in the 8th semiconductor chip 42 by pasting up the 7th semiconductor chip 41

with which chip sizes differ so that a part of 2nd bonding wire 4 may be located between the 7th semiconductor chip 41 and a substrate 7. Thereby, a semiconductor device can be miniaturized.

[0084] As mentioned above, the semiconductor device of the gestalt of this operation can carry out the laminating of two or more semiconductor chips of the same chip size, for example, without preparing constraint in the chip size of the semiconductor chip by which a laminating is carried out. For this reason, it is more thin and the semiconductor device which was more excellent in dependability and which has a laminated structure can be offered.

[0085] In the semiconductor device to which the laminating of two or more semiconductor chips with which the semiconductor device of this invention had two or more electrode terminals at each principal plane top was carried out on the substrate, and the electrode terminal and the substrate were electrically connected by the bonding wire It is the order of the semiconductor chip of a lower layer chip, the resin of a glue line, the resin layer of an insulating layer, and the upper layer between the lower layer semiconductor chip of the semiconductor chip of the upper and lower sides of the location of arbitration, and the upper semiconductor chip. On [ some ] the electrode terminal connected by the bonding wire of a lower layer semiconductor chip at least, it may be constituted as the 1st semiconductor device which has the configuration which the upper semiconductor chip has pasted up.

[0086] The bonding wire to which the bump is formed in the electrode terminal of a lower layer semiconductor chip, and the 1st semiconductor device of the above connects lower layer semiconductor chip and substrate may be constituted as what is the wire connected by the reverse wire-bonding method.

[0087] The semiconductor chip and bonding wire by which the 1st semiconductor device of the above was connected to the whole surface of a substrate may be closed by resin, and may be constituted as that in which the external connection terminal is formed at the reverse side side of a substrate.

[0088] An insulating layer is polyimide system resin and, as for the 1st semiconductor device of the above, the glue line may be constituted as what is epoxy system resin.

[0089] The 1st semiconductor device of the above may be constituted as that whose insulating layer thickness is within the limits of 15 micrometers or more 30 micrometers or less.

[0090] An electrode terminal area to the principal plane top of the semiconductor chip with which the 1st semiconductor device of the above is located in a lower layer, especially the chip edge may be constituted as what is covered with insulating resin.

[0091] The electrode terminal area of the semiconductor chip with which the 1st semiconductor device of the above is arranged at a lower layer may be constituted as what is covered with the insulating resin by which opening is carried out.

[0092] The manufacture approach of the semiconductor device of this invention may be constituted in the wafer condition before a semiconductor chip is divided as what has the process which sticks an insulating resin layer side on a wafer rear face, and divides into a semiconductor chip the sheet which becomes a wafer rear face from two-layer [ of an insulating resin layer and an adhesive resin layer ] by dicing, and the process which paste up the semiconductor chip by which division was carried out [ above-mentioned ] on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0093] In the wafer condition before a semiconductor chip is divided, the manufacture approach of the semiconductor device of this invention may stick an insulating sheet-like resin layer on a wafer rear face, and may have the process which sticks an adhesive sheet-like resin layer continuously and is divided into a semiconductor chip by dicing, and the process which pastes up the semiconductor chip by which division was carried out [ above-mentioned ] on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0094]

[Effect of the Invention] The semiconductor device of this invention is the configuration that the insulating layer is formed between the semiconductor chips by which the laminating is carried out as

mentioned above to this bonding wire and bonding wire side of the semiconductor chip to which this bonding wire is connected.

[0095] So, when the semiconductor device which carried out the laminating of two or more semiconductor chips is thin-shape-ized for example, and the dimension is made small, it can prevent a bonding wire and a semiconductor chip contacting. The effectiveness that the semiconductor device which comes by this to carry out the laminating of two or more reliable semiconductor chips with which insulation was secured can be offered is done so.

[0096] As for the semiconductor device of this invention, it is desirable that the above-mentioned insulating layer is polyimide system resin as mentioned above.

[0097] By choosing and using polyimide system resin with little hot plastic deformation, the effectiveness that the insulation of the semiconductor device under a high temperature service can be made more reliable is done so.

[0098] As for the above-mentioned insulating layer thickness, it is [ the semiconductor device of this invention ] desirable that it is within the limits of 15 micrometers or more 30 micrometers or less as mentioned above.

[0099] Thereby, the effectiveness that the semiconductor device which comes to carry out the laminating of the semiconductor chip on a substrate can be thin-shape-ized is done so, securing insulation.

[0100] The bump is formed in the above-mentioned electrode terminal as mentioned above, and, as for the semiconductor device of this invention, as for the above-mentioned bonding wire, connecting using the reverse wire-bonding method is desirable.

[0101] A bump is formed in the above-mentioned electrode terminal, and making small distance between the above-mentioned semiconductor chips and the above-mentioned connection can be made more reliable by connecting this electrode terminal and the above-mentioned substrate using the reverse wire-bonding method. This thin-shape-izing easily the semiconductor device which comes to carry out the laminating of two or more semiconductor chips, and the effectiveness that the dependability can be raised are done so.

[0102] As for the semiconductor device of this invention, it is desirable that the external terminal is formed in the field where the semiconductor chip and the above-mentioned bonding wire of the above-mentioned plurality by which the laminating was carried out to the above-mentioned substrate are closed with closure resin as mentioned above, and the laminating of two or more above-mentioned semiconductor chips of the above-mentioned substrate was carried out, and the field of an opposite hand.

[0103] The effectiveness that the semiconductor device protected by this by the closure resin which can connect a semiconductor device and the exterior electrically can be offered is done so.

[0104] As for the semiconductor device of this invention, it is desirable that the glue line is formed between [ above-mentioned / two or more ] semiconductor chips as mentioned above.

[0105] The effectiveness that two or more above-mentioned semiconductor chips can be pasted up using the above-mentioned glue line, and the laminating of the semiconductor chip can be carried out easily by this is done so.

[0106] As for the above-mentioned glue line, it is [ the semiconductor device of this invention ] desirable to be formed between the above-mentioned insulating layer and the above-mentioned semiconductor chip by the side of the above-mentioned substrate as mentioned above.

[0107] This does so the effectiveness that the above-mentioned bonding wire can be protected by the above-mentioned glue line.

[0108] As for the above-mentioned glue line, being formed with epoxy system resin is [ the semiconductor device of this invention ] desirable as mentioned above.

[0109] Epoxy system resin does so the effectiveness that it can harden after fusing into a liquid from a solid-state with heating, and pasting up a semiconductor chip, since it is the thermosetting resin which

carries out posture, and the above-mentioned bonding wire can be protected.

[0110] As for the thickness of the above-mentioned glue line, it is [ the semiconductor device of this invention ] desirable that this bonding wire of the above-mentioned bonding wire is larger than the height from the field of the above-mentioned semiconductor chip connected through the above-mentioned electrode terminal as mentioned above.

[0111] Thereby, it can prevent the above-mentioned bonding wire and the above-mentioned insulating layer contacting. Therefore, the effectiveness that breakage on the above-mentioned bonding wire by contact to the above-mentioned semiconductor chip can be prevented certainly is done so.

[0112] As for the semiconductor device of this invention, it is desirable that the insulating resin layer is formed in the field except this electrode terminal of the field in which the electrode terminal of the above-mentioned semiconductor chip is prepared as mentioned above.

[0113] This does so the effectiveness that contact to the above-mentioned bonding wire and the above-mentioned semiconductor chip can be prevented.

[0114] The sheet attachment process of sticking the manufacture approach of the semiconductor device of this invention on the wafer before a semiconductor chip is divided in the sheet which consists of an insulating layer and a glue line as mentioned above so that the insulating-layer side of this sheet may touch this wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned sheet was stuck by dicing, and the above-mentioned glue line It is a configuration including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0115] The sheet attachment process of sticking the manufacture approach of the semiconductor device of this invention on the wafer before a semiconductor chip is divided in the sheet which consists of an insulating layer and a glue line as mentioned above so that the insulating-layer side of this sheet may touch this wafer, By the division process which divides into a semiconductor chip the wafer with which the above-mentioned sheet was stuck by dicing, and the above-mentioned glue line It is a configuration including the adhesion process which pastes up the semiconductor chip with which this glue line was stuck on the semiconductor chip connected to the substrate and the electric target by the bonding wire.

[0116] So, in the division process divided into a semiconductor chip, the insulating layer and glue line of the same size as the chip size of a semiconductor chip can be formed by cutting down an insulating layer and a glue line, and a semiconductor chip at a time. For this reason, it becomes possible to perform very easily control of the adhesion field of a glue line, the amount of adhesion, and glue line thickness, and the effectiveness that the semiconductor device of this invention can be manufactured easily and certainly is done so.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device in which the gestalt of 1 operation of this invention is shown.

[Drawing 2] The bonding wire which shows the gestalt of other operations of this invention is the sectional view of the semiconductor device connected using the forward wire-bonding method.

[Drawing 3] It is the sectional view of the semiconductor device which comes to carry out the laminating of the four semiconductor chips of this invention in which the gestalt of other operations is shown further.

[Drawing 4] It is the sectional view of the semiconductor device which it comes to close with the closure resin in which the gestalt of other operations of this invention is shown.

[Drawing 5] It is a perspective view explaining the sheet attachment process in the manufacture approach of the semiconductor device of this invention.

[Drawing 6] It is a sectional view explaining the division process in the manufacture approach of the semiconductor device of this invention.

[Drawing 7] It is a sectional view explaining the adhesion process in the manufacture approach of the semiconductor device of this invention.

[Drawing 8] It is the sectional view of the semiconductor device in which the gestalt of other operations of this invention is shown.

[Drawing 9] It is the sectional view of the semiconductor device with which the insulating resin layer is formed in the field except the electrode terminal of the field in which the electrode terminal of the semiconductor chip in which the gestalt of other operations of this invention is shown is prepared.

[Drawing 10] It is a sectional view explaining the example of the combination of the semiconductor chip which constitutes the semiconductor device of this invention.

[Drawing 11] It is a top view explaining the example of the combination of the semiconductor chip which constitutes the semiconductor device of this invention.

[Drawing 12] It is a top view explaining other examples of the combination of the semiconductor chip which constitutes the semiconductor device of this invention.

[Drawing 13] It is a sectional view explaining the conventional semiconductor device of the structure where the spacer was enclosed between the semiconductor chips by which a laminating is carried out.

[Drawing 14] It is a sectional view explaining the case where the conventional semiconductor device of the structure where the spacer was enclosed between the semiconductor chips by which a laminating is carried out is thin-shape-ized.

[Drawing 15] The periphery section of a semiconductor chip is the sectional view explaining the conventional semiconductor device of the structure of having a level difference formed in thin meat to the center section.

[Drawing 16] It is a sectional view explaining the case where the semiconductor device of the structure that the periphery section of the conventional semiconductor chip was formed in thin meat to the center section and of having a level difference is thin-shape-ized.

[Drawing 17] It is a sectional view explaining the conventional semiconductor device of the structure which a glue line is made to intervene between semiconductor chips, and comes to carry out a laminating.

[Drawing 18] It is a sectional view explaining the case where the conventional semiconductor device of the structure which a glue line is made to intervene between semiconductor chips, and comes to carry out a laminating is thin-shape-ized.

### [Description of Notations]

1 1st Semiconductor Chip



2 2nd Semiconductor Chip  
3 1st Bonding Wire  
4 2nd Bonding Wire  
5 Insulating Layer  
6 Glue Line  
7 Substrate  
13 Coating Resin (Insulating Resin Layer)  
15 Closure Resin  
16 Terminal for External Connection (External Terminal)  
18 3rd Semiconductor Chip  
20 4th Semiconductor Chip  
21 electrode terminals  
22 Sheet  
23 Bump  
31 5th Semiconductor Chip  
32 6th Semiconductor Chip  
41 7th Semiconductor Chip  
42 8th Semiconductor Chip  
51 9th Semiconductor Chip

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2002-222913  
(P2002-222913A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 25/065		H 0 1 L 23/12	5 0 1 W
25/07		25/08	Z
25/18			
23/12	5 0 1		

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願2001-16420(P2001-16420)

(22) 出願日 平成13年1月24日(2001.1.24)

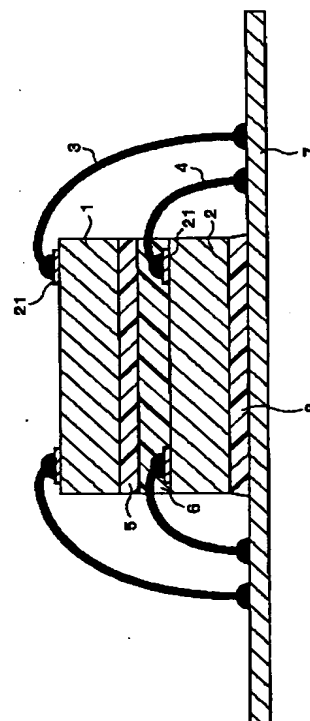
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 福井 靖樹  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 並井 厚也  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100080034  
弁理士 原 謙三

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 基板上に複数個の半導体チップが積層されている半導体装置の絶縁性を確実にする。

【解決手段】 基板7上には第1半導体チップ1および第2半導体チップ2が積層されており、かつ各半導体チップ1・2のそれぞれに設けられている電極端子21が、第1ボンディングワイヤー3および第2ボンディングワイヤー4により基板7に電氣的に接続されている半導体装置であって、第2ボンディングワイヤー4と第1半導体チップ1との間には絶縁層5が形成されている。



(2)

1

## 【特許請求の範囲】

【請求項1】基板上に複数個の半導体チップが積層されており、かつ半導体チップのそれぞれに設けられている電極端子はボンディングワイヤーにより基板に電氣的に接続されている半導体装置であって、ボンディングワイヤーと、該ボンディングワイヤーが接続されている半導体チップの該ボンディングワイヤー側に積層されている半導体チップとの間に絶縁層が形成されていることを特徴とする半導体装置。

【請求項2】上記絶縁層がポリイミド系樹脂であることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記絶縁層の厚さは15 $\mu$ m以上30 $\mu$ m以下の範囲内であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】上記電極端子にはバンプが形成されており、上記ボンディングワイヤーはリバースワイヤーボンディング法を用いて接続されていることを特徴とする請求項1、2または3に記載の半導体装置。

【請求項5】上記基板に積層された上記複数個の半導体チップおよび上記ボンディングワイヤーが封止樹脂により封止されており、かつ上記基板の上記複数個の半導体チップが積層された面と反対側の面に外部端子が形成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】上記複数個の半導体チップ相互間に接着層が形成されていることを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】上記接着層は上記絶縁層と上記基板側の上記半導体チップとの間に形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】上記接着層はエポキシ系樹脂であることを特徴とする請求項6または7に記載の半導体装置。

【請求項9】上記接着層の厚さは、上記ボンディングワイヤーの該ボンディングワイヤーが上記電極端子を介して接続されている上記半導体チップの面からの高さより大きいことを特徴とする請求項6、7または8に記載の半導体装置。

【請求項10】上記半導体チップの上記電極端子が設けられている面の該電極端子を除いた領域には絶縁性樹脂層が形成されていることを特徴とする請求項1～9のいずれか1項に記載の半導体装置。

【請求項11】請求項1～10のいずれか1項に記載の半導体装置の製造方法であって、絶縁層と接着層とからなるシートを、半導体チップが分割される前のウェハーに、該シートの絶縁層側が該ウェハーに接するように貼り付けるシート貼り付け工程と、上記シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、上記接着層により、該接着層の貼り付けられた半導体チップを、ボンディングワイヤーにより基板と電氣的に接

2

続されている半導体チップに接着する接着工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】請求項1～10のいずれか1項に記載の半導体装置の製造方法であって、

絶縁層からなる絶縁層シートを半導体チップが分割される前のウェハーに貼り付ける絶縁層貼り付け工程と、

上記絶縁層貼り付け工程の後に、接着層からなる接着層シートを上記ウェハーの上記絶縁層シートが貼り付けられた面に貼り付ける接着層貼り付け工程と、

上記絶縁層シートおよび接着層シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、

上記接着層により、該接着層の貼り付けられた半導体チップを、ボンディングワイヤーにより基板と電氣的に接続されている半導体チップに接着する接着工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に単一パッケージ内に複数個の半導体チップを積層して搭載する半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】近年、単一パッケージ内に複数個の半導体チップ（半導体素子）を搭載することにより、半導体装置の小型化、高性能化が図られている。例えば、携帯機器等に搭載されるメモリへ付加価値を付与したり、メモリ容量を増大させたりすることを狙って、複数個の半導体チップを積層して搭載するパッケージ等がある。

【0003】半導体装置は半導体チップと基板とを含んで構成されるものであるが、両者を電氣的に接続する方法としては、ボンディングワイヤーを用いて接続を行うワイヤーボンディング法が広く用いられている。

【0004】半導体チップと基板との接続にワイヤーボンディング法を用いる場合には、半導体チップを積層する際に、既に基板上に搭載されている半導体チップのワイヤーボンディングされた部分を損なわないようにする必要がある。積層される半導体チップのチップサイズが、上記基板上に搭載されている半導体チップのチップサイズよりも小さい場合には、上記ワイヤーボンディングされた部分が損なわれることはないが、両者のチップサイズが同程度の場合には、上記のワイヤーボンディングされた部分が積層される半導体チップと重なるため、特に損なわれ易いという問題がある。

【0005】上記の問題を解決するために、積層される半導体チップの間に約200 $\mu$ m（0.008インチ）のスペーサーが封入された半導体装置（USP5,291,061号公報参照）、周縁部が中央部に対して薄肉に形成された、段差を有する構造の半導体装置（特開平6-244360号公報参照）、半導体チップ相互間に

(3)

3

接着層を介在させて積層してなる半導体装置（特開平10-27880号公報参照）等が提案されている。

【0006】

【発明が解決しようとする課題】ところが、上記従来の半導体装置ではそれぞれ以下に示す問題が生じる。

【0007】上記積層される半導体チップの間にスペーサーが封入された構造の半導体装置は、基板に搭載されている半導体チップに接続されているボンディングワイヤーと、その上に積層される半導体チップとの接触を防ぐため、十分な厚さを有するスペーサーを用いる必要がある。このため、パッケージの薄型化には不向きであるという問題がある。

【0008】すなわち、図13に示すように、第2半導体チップ2と基板7とを接続する第2ボンディングワイヤー4と第1半導体チップ1との接触を防ぐためには、スペーサー14を十分な厚さにする必要がある。スペーサー14の厚さが、第2半導体チップ2から第2ボンディングワイヤー4の最も高い部分までの高さと同程度である場合には、図14に示すように、第2ボンディングワイヤー4と第1半導体チップ1とが接触することにより両者の絶縁性が不十分になるという問題を招来する。

【0009】また、第1半導体チップ1は、図13に示すようにオーバーハングしている、すなわち第1半導体チップ1はスペーサー14よりも突き出ている。このため、第1半導体チップ1には振動が生じやすい。ここで、半導体チップと基板とを電氣的に接続するワイヤーボンディング法においては、ボンディングワイヤーの両端を接続するために2度の接続が行われるが、後の接続は超音波振動により行われる。上述したように、第1半導体チップ1は振動が生じやすいため、第1ボンディングワイヤー3の第1半導体チップ1側を超音波振動により接続することは困難である。このため、ワイヤーボンディング法においては、第1ボンディングワイヤー3の第1半導体チップ1側を接続した後に、基板7側を接続する必要がある。

【0010】つまり、スペーサー14上に搭載されている第1半導体チップ1へのワイヤーボンディング法としては、フォワードワイヤーボンディング法しか採用することができない。したがって、リバースワイヤーボンディング法を採用した場合と比較して、基板7側のワイヤーボンディングターミナルをより外側に配置する必要がある。このため、パッケージを小さくすることが困難であるという問題を招来する。なお、フォワードワイヤーボンディング法とは、半導体チップとボンディングワイヤーとを接続した後にボンディングワイヤーと基板とを接続する方法をいい、その逆の順序で接続を行う方法をリバースワイヤーボンディング法という。

【0011】図15に示す半導体チップの周縁部が中央部に対して薄肉に形成された、段差を有する構造の半導体装置の場合、従来の工程と比較して、半導体チップを

4

切断する工程に加えて、上記段差を形成するために半導体ウェハーを切削する切削工程が必要である。また、当該切削工程においては、該切削が行われる側とは反対側、すなわち半導体チップの素子が形成されている側を保護する必要もある。このため、製造コストが増加するという問題を招来する。

【0012】また、上記半導体装置は、第9半導体チップ51の段差を有する部分に絶縁のための処理が施されていない。このため、パッケージを薄型化する場合には、図16に示すように、第2ボンディングワイヤー4と第9半導体チップ51とが接触して両者の絶縁性が不十分となる問題を招来する。また、第9半導体チップ51を薄くする場合には、段差を有する部分も薄くなり強度が下がるためチップクラック等が発生し易くなるという問題をも招来する。

【0013】上記の段差を有する構造の半導体チップと基板とを接続するワイヤーボンディング法としては、積層される半導体チップの間にスペーサーが封入された構造と同様に、フォワードワイヤーボンディング法しか採用することができない。フォワードワイヤーボンディング法を用いる場合には、ボンディングワイヤーの該ボンディングワイヤーが接続された半導体チップからの高さを低くすることができない。このため、半導体チップを多層化して搭載する場合には、半導体装置を薄型化することが困難になるという問題を招来する。

【0014】また、上述したように、フォワードワイヤーボンディング法しか採用できないため、リバースワイヤーボンディング法を採用した場合に比べて、基板7側のワイヤーボンディングターミナルをより外側に配置する必要がある。このため、パッケージを小さくすることが困難であるという問題をも招来する。

【0015】図17に示す半導体チップ相互間に接着層を介在させて積層してなる構造の場合、第1半導体チップ1と第2半導体チップ2とを接着する接着層6の厚さおよび領域をコントロールすることが困難である。このため、接着層6を構成する接着剤の染み出し（ブリード）等による基板7の汚染や、積層された第1半導体チップ1に傾きが生じる等の問題を招来する。

【0016】特に、半導体チップを多層化する場合においては、半導体装置の高さのバラツキ、基板から最上層の半導体チップの表面までの高さのバラツキ、および最上層の半導体チップの傾き等が大きくなる為、安定した生産が困難になるという問題を招来する。すなわち、積層数が2個の場合においては、上記のバラツキおよび傾きは大きな問題とならなくとも、積層される半導体チップの数が3個、4個と増加するに従って、上記高さのバラツキおよび傾きが大きくなるため、半導体装置の安定した生産が困難になるという問題を招来する。

【0017】また、半導体装置のパッケージを薄型化する場合には、図18に示すように、第2ボンディングワ

50

(4)

5

イヤー4と第1半導体チップ1との接触により、両者の絶縁性が不十分になるという問題をも招来する。

【0018】本発明は、上記の問題を解決するためになされたもので、その目的は、半導体チップのチップサイズに関わらず積層することができる、絶縁性が確保された半導体装置およびその製造方法を提供することにある。

【0019】

【課題を解決するための手段】本発明は、上記の課題を解決するための問題解決手段として、半導体ウェハーに絶縁層および接着層からなる2層の樹脂層を貼り付けた状態において、ダイシングにより分割した（切り出した）半導体チップを積層する方法を用いる。これにより、外形寸法が小さく、かつ絶縁性が確保された半導体装置を生産性良く製造することができる。また、上記半導体装置は、半導体チップを積層する際に、ボンディングワイヤー部を避ける必要がない。このため、そのチップサイズに関わらず半導体チップを積層することが可能となる。

【0020】本発明の半導体装置は、上記の課題を解決するために、基板上に複数個の半導体チップが積層されており、かつ半導体チップのそれぞれに設けられている電極端子はボンディングワイヤーにより基板に電気的に接続されている半導体装置であって、ボンディングワイヤーと、該ボンディングワイヤーが接続されている半導体チップの該ボンディングワイヤー側に積層されている半導体チップとの間に絶縁層が形成されていることを特徴としている。

【0021】上記の構成により、ボンディングワイヤーと半導体チップとが接触することを防ぐことができる。このため、複数個の半導体チップを積層してなる半導体装置の絶縁性を確保することができる。

【0022】複数個の半導体チップが積層された半導体装置において、基板上に積層される半導体チップは、それぞれの半導体チップに設けられた電極端子を介してボンディングワイヤーにより基板と電気的に接続されている。ここで、半導体装置の絶縁性を確保するためには、ボンディングワイヤーと半導体チップとの接触を防ぐことが必要である。特に、半導体装置を薄型化するためには半導体チップ相互間の距離を小さくすることが必要となるが、この場合には、ボンディングワイヤーと半導体チップとの距離が小さくなるため、両者が接触しやすくなり、絶縁性が不十分となる恐れがある。

【0023】そこで、ボンディングワイヤーと、該ボンディングワイヤーが接続されている半導体チップの該ボンディングワイヤー側に積層されている半導体チップとの間に絶縁層を形成することにより、両者が接触することを防止することができる。すなわち、半導体チップ上のボンディングワイヤーが接続された電極端子と、該半導体チップに隣り合う半導体チップとの間に絶縁層が形

6

成されていることにより、ボンディングワイヤーと、該ボンディングワイヤーが接続されている半導体チップに隣り合う半導体チップとの接触を防ぐことができる。

【0024】これにより、複数個の半導体チップを積層してなる半導体装置の絶縁性を確保することができる。例えば、半導体チップ相互間の距離を小さくすることにより半導体装置を薄型化した場合においても、絶縁層により半導体チップとボンディングワイヤーとの接触を防ぐことができるため、半導体装置の絶縁性を確保することができる。

【0025】このように、基板上に複数個の半導体チップが積層された半導体装置において、ボンディングワイヤーと半導体チップとの絶縁性が不十分となることを防止することができる。すなわち、ボンディングワイヤーと半導体チップと間に形成された絶縁層により両者の接触が防止されるため、半導体装置の絶縁性を確保することができる。

【0026】したがって、基板上に複数個の半導体チップが積層された半導体装置の絶縁性を確保することができるため、薄型化し、その外形寸法を小さくした場合においても、絶縁性の確保された信頼性の高い半導体装置を提供することが可能となる。

【0027】本発明の半導体装置は、上記絶縁層がポリイミド系樹脂であることが好ましい。ポリイミド系樹脂としては、耐熱性に優れており高温における塑性変形の少ない材料を選んで用いることが好ましい。ポリイミド系樹脂として、耐熱性に優れるものを用いることにより、高温における塑性変形の少ない絶縁層を形成することができる。したがって、絶縁層をポリイミド樹脂で形成することにより、高温条件下における半導体装置の絶縁性をより確実にすることができる。

【0028】本発明の半導体装置の上記絶縁層の厚さは15 $\mu$ m以上30 $\mu$ m以下の範囲内であることが好ましい。上記絶縁層の厚さを上記の範囲内とすることにより、絶縁性を確保しつつ半導体チップを積層してなる半導体装置を薄型化することができる。

【0029】本発明の半導体装置の上記電極端子にはバンプが形成されており、上記ボンディングワイヤーはリバースワイヤーボンディング法を用いて接続されていることが好ましい。

【0030】上記の構成により、積層される半導体チップ相互間の距離を小さくすることができる。すなわち、上記電極端子にバンプを形成することにより、該電極端子と上記基板とをボンディングワイヤーにより接続する方法として、リバースワイヤーボンディング法を用いることができる。このため、上記半導体チップ相互間の距離を小さくすることができる。

【0031】つまり、上記バンプの高さは、上記の接続を行う方法としてフォワードワイヤーボンディング法を用いた場合における、ボンディングワイヤーの該ボンデ

(5)

7

イングワイヤーが上記電極端子を介して接続されている半導体チップの面からの高さよりも小さくすることができる。そして、リバースワイヤーボンディング法を用いることにより、ボンディングワイヤーをより確実に接続することができる。

【0032】したがって、積層される半導体チップ相互間の距離を小さくすることができるため、複数個の半導体チップを積層してなる半導体装置を容易に薄型化することが可能となる。また、ボンディングワイヤーをより確実に接続することができるため、より信頼性の高い半導体装置を提供することができる。なお、リバースワイヤーボンディング法とは、ボンディングワイヤーと基板とを接続した後に半導体チップとボンディングワイヤーとを接続する方法をいい、その逆の順番で接続を行う方法をフォワードワイヤーボンディング法という。

【0033】本発明の半導体装置は、上記基板に積層された上記複数個の半導体チップおよび上記ボンディングワイヤーが封止樹脂により封止されており、かつ上記基板の上記複数個の半導体チップが積層された面と反対側の面に外部端子が形成されていることが好ましい。これにより、封止樹脂により半導体チップおよびボンディングワイヤーを保護することが可能となる。また外部端子により、容易に半導体装置と外部とを電氣的に接続することができる。

【0034】本発明の半導体装置は、上記複数個の半導体チップ相互間に接着層が形成されていることが好ましい。上記の接着層を用いて上記複数個の半導体チップを接着することにより、半導体チップを容易に積層することができる。

【0035】本発明の半導体装置の上記接着層は上記絶縁層と上記基板側の上記半導体チップとの間に形成されていることが好ましい。上記の構成により、上記絶縁層と上記基板側の上記半導体チップとの間の上記ボンディングワイヤーを上記接着層により保護することが可能となる。

【0036】本発明の半導体装置の上記接着層はエポキシ系樹脂であることが好ましい。エポキシ系樹脂は、加熱することにより固体から液体に溶融しその後硬化する熱硬化性樹脂であるため、半導体チップを接着した後に硬化して上記ボンディングワイヤーを保護することができる。

【0037】本発明の半導体装置の上記接着層の厚さは、上記ボンディングワイヤーの該ボンディングワイヤーが上記電極端子を介して接続されている上記半導体チップの面からの高さより大きいことが好ましい。これにより、上記ボンディングワイヤーと該ボンディングワイヤーが接続された半導体チップに隣り合う半導体チップとが接触することを防ぐことができる。したがって、上記隣り合う半導体チップとの接触により上記ボンディングワイヤーが損傷することを確実に防止することができ

8

る。

【0038】本発明の半導体装置の上記半導体チップの電極端子が設けられている面の該電極端子を除いた領域には絶縁性樹脂層が形成されていることが好ましい。これにより、上記ボンディングワイヤーと、該ボンディングワイヤーが上記電極端子を介して接続されている上記半導体チップとの接触を防止することができる。すなわち、上記半導体チップの電極端子が設けられている面は、電極端子を除いて絶縁性樹脂層により被覆されているため、上記ボンディングワイヤーと上記半導体チップとが接触することを防止することができる。

【0039】本発明の半導体装置は、絶縁層と接着層とからなるシートを、半導体チップが分割される前のウェハーに、該シートの絶縁層側が該ウェハーに接するように貼り付けるシート貼り付け工程と、上記シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、上記接着層により、該接着層の貼り付けられた半導体チップを、ボンディングワイヤーにより基板と電氣的に接続されている半導体チップに接着する接着工程とを含む方法により製造することができる。

【0040】また、本発明の半導体装置は、絶縁層と接着層とからなるシートを、半導体チップが分割される前のウェハーに、該シートの絶縁層側が該ウェハーに接するように貼り付けるシート貼り付け工程と、上記シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、上記接着層により、該接着層の貼り付けられた半導体チップを、ボンディングワイヤーにより基板と電氣的に接続されている半導体チップに接着する接着工程とを含む方法により製造することができる。

【0041】上記の方法により、本発明の半導体装置を容易かつ確実に製造することが可能となる。すなわち、半導体チップに分割する分割工程において絶縁層および接着層を半導体チップと同時に切り出すことができる。すなわち、これらを1度に切り出すことができる。このため、半導体チップのチップサイズと同じサイズの絶縁層および接着層を形成することが可能となる。

【0042】したがって、接着層の接着領域、接着量、厚さのコントロールを極めて容易に行うことが可能となり、本発明の半導体装置を容易かつ確実に製造することができる。なお、本発明において「チップサイズ」とは、半導体チップの基板または他の半導体チップに面する面の縦、横の外形サイズをいう。

【0043】

【発明の実施の形態】本発明の実施の一形態について図1ないし図12に基づいて説明すれば、以下のとおりである。なお、本発明は、これにより何ら限定されるものではない。

【0044】図1～図4は、本実施の形態の半導体装置

(6)

9

の構成を示す説明図である。

【0045】2個の半導体チップを積層してなる半導体装置を図1に示す。同図に示すように、本実施の形態の半導体装置は、第1半導体チップ1、第2半導体チップ2、第1ボンディングワイヤー3、第2ボンディングワイヤー4、絶縁層5、接着層6、基板7、接着剤層8および電極端子21を備えてなるものである。なお、本実施の形態においては、基板7上に積層されている半導体チップを区別しない場合には、単に半導体チップと表すこととする。

【0046】本実施の形態の半導体装置を構成する基板7上には、接着剤層8を介して第2半導体チップ2が接着されており、第2半導体チップ2の基板7と反対側の面には、接着層6により絶縁層5を介して第1半導体チップ1が接着されている。第1ボンディングワイヤー3は、第1半導体チップ1の電極端子21と基板7とを電気的に接続するものであり、第2ボンディングワイヤー4は第2半導体チップ2の電極端子21と基板7とを電気的に接続するものである。なお、電極端子21は、第1半導体チップ1および第2半導体チップ2の基板7とは反対側の面に設けられている。

【0047】本実施の形態の半導体装置を構成する半導体チップの種類は特に限定されず、任意のものを使用することができる。複数個の半導体チップとしては、例えば、その外形が同じものの組み合わせや、積層された場合に、半導体チップに設けられた電極端子が、該半導体チップに積層される他の半導体チップと重なるものの組み合わせを好適に用いることができる。図1～図4には、同じ外形の半導体チップを積層して構成されている半導体装置を示している。

【0048】接着層6の厚さが、第2ボンディングワイヤー4の第2半導体チップ2の電極端子21が設けられている面からの高さBよりも小さい半導体装置を図2に示す。同図に示すように、本実施の形態の半導体装置は第1半導体チップ1と第2ボンディングワイヤー4との間に介在している絶縁層5により、両者の接触を防ぐことができる。すなわち、絶縁層5により半導体装置の絶縁性を確保することができる。

【0049】4個の半導体チップが積層されて搭載されている半導体装置を図3に示す。同図に示すように、該半導体装置には、基板7の側から順に第2半導体チップ2、第1半導体チップ1、第3半導体チップ18、第4半導体チップ20が積層されており、これら半導体チップ相互間には絶縁層5および接着層6が介在している。このように、多数の半導体チップを積層した場合においても、半導体チップ相互間に絶縁層5および接着層6が介在することにより、接着層6により各半導体チップを接着するとともに、絶縁層5によりボンディングワイヤーと半導体チップとが接触することを防ぐことができる。

10

【0050】半導体チップを積層してなる半導体装置を薄型化するためには、半導体チップを接着する接着層6の厚さを薄くすることは有効であるが、半導体チップ相互間に絶縁層5が形成されていない場合には、接着層6の厚さが薄くなるに伴いボンディングワイヤーと半導体チップとが接触することとなり、半導体装置の絶縁性が確保されなくなるおそれがある。

【0051】しかし、本実施の形態の半導体装置は、半導体チップ相互間に介在する絶縁層5により、ボンディングワイヤーと半導体チップとが接触することを防ぐことができるため、接着層6の厚さが薄くなった場合においても絶縁性を確保することができる。

【0052】すなわち、多数の半導体チップを積層してなる半導体装置の絶縁性を確保しつつ薄型化することができる。なお、図3に示す半導体装置においては、積層される半導体チップの数を4個としたが、半導体チップの数はこれに限定されるものではなく、任意の数とすることができる。

【0053】図4に封止樹脂により封止された半導体装置（Chip Size Package、以下CSPと略する）を示す。同図に示すように、本実施の形態の半導体装置は、封止樹脂15により封止されており、かつ基板7の半導体チップが実装された面とは反対側の面には、基板7と外部とを電気的に接続するための外部接続用端子（外部端子）16が設けられている。上記封止樹脂15としては、熱硬化性樹脂を用いることができ、具体的には、エポキシ樹脂、シリコン樹脂等を好適に用いることができる。

【0054】本発明の半導体装置を製造する方法について図5～図7を用いて説明する。

【0055】まず、半導体チップの裏面に絶縁層および接着層を形成する方法について説明する。なお、本実施の形態においては、半導体チップの電極端子が形成される面を表面、電極端子が形成されない面を裏面と表すこととする。

【0056】絶縁層および接着層の形成は、各種の素子が形成されて半導体チップとなる前のウェハの状態でおいで行われる。なお、ウェハの状態において、その裏面を研磨しておいてもよい。これにより、絶縁層および接着層を形成する前に、ウェハの厚さを薄くすることができるため、半導体チップさらに小型化することが可能となる。

【0057】ウェハの裏面に絶縁層および接着層を形成する方法としては、図5に示すように、絶縁層5と接着層6とからなる2層構造のシート22を、ウェハ9の裏面に貼付用ローラー10を用いて貼り付ける方法が挙げられる。なお、シート22は、ウェハ9の裏面に絶縁層5が接するようにして貼り付けられる。

【0058】同図においては、絶縁層5および接着層6からなるシート22を用いたが、同様にして、シート状

(7)

11

の絶縁層5、接着層6のそれぞれを貼り付けてもよい。すなわち、シート状の絶縁層5をウェハー裏面に貼り付けた後に、更にその上からシート状の接着層6を貼り付けることによりウェハーの裏面に絶縁層5および接着層6を形成してもよい。

【0059】絶縁層5および接着層6は、厚さが均一なシート状の形態の材料を用いて形成されることが望ましい。これにより、厚さの均一な絶縁層5および接着層6をウェハー9の裏面に容易に形成することができる。

【0060】絶縁層5としては、耐熱性に優れており、100℃～200℃での塑性変形が少ない樹脂が好適に用いられる。具体的には、絶縁層5はポリイミド系の樹脂であることが好ましい。

【0061】高温において塑性変形が大きい樹脂を用いた場合には、高温条件下において絶縁層5が塑性変形して半導体装置の絶縁性が確保できなくなる可能性がある。これに対し、耐熱性に優れる樹脂を用いることにより、高温条件下において絶縁層5が変形することを防止できるため、高温条件下における半導体装置の絶縁性を確保することができる。

【0062】絶縁層5の厚さは、絶縁性が確保され、かつウェハー裏面に貼り付けることができるものであればよく、特に限定されないが、複数個の半導体チップを積層してなる半導体装置（パッケージ）の薄型化等を考慮すると、15μm以上30μm以下の範囲内であることが好ましい。絶縁層5の厚さを上記範囲内とすることにより、半導体装置の絶縁性を確保しつつ、半導体装置を薄型化することができる。

【0063】また、接着層6としては、加熱により固体から液体へと熔融し、その後に硬化する熱硬化性樹脂が好ましく、その中でも特にエポキシ樹脂が好ましい。接着層6には、半導体チップ同士を接着することの他に、第2半導体チップ2の電極端子21に接続された第2ボンディングワイヤー4を封止・保護する目的もある。このことから、接着層6の厚さA（図7参照）は、第2ボンディングワイヤー4の第2半導体チップ2からの高さB（図7参照）以上であることが好ましい。

【0064】ウェハー9の裏面に絶縁層5および接着層6を形成した後に、ダイシングブレード11を用いて半導体チップとして個片に切り出す方法を、図6を用いて説明する。同図に示すように、絶縁層5および接着層6が形成されたウェハー9を切断用固定シート12の上ののせて、ダイシングブレード11を用いて切断することにより半導体チップに切り出す。これにより、絶縁層5、接着層6およびウェハー9を一度に切断して、半導体チップに分離することができる。すなわち、ダイシングブレード11を用いて、ウェハー9を切断する際に、絶縁層5および接着層6をも同時に切断することにより、半導体チップのチップサイズと同じサイズの絶縁層5および接着層6が形成された半導体チップとすること

12

ができる。

【0065】上述した方法を用いて半導体チップを製造することにより、接着剤を塗布して接着層を形成する方法に比較して、半導体チップの接着層の接着領域、接着剤量、およびその厚さのコントロールを極めて容易に行うことが可能となる。

【0066】上記のようにして得られた半導体チップを基板上に積層する方法、すなわちパッケージの作製方法について、図7を用いて以下に説明する。同図に示すように、まず、接着剤を用いて第2半導体チップ2を基板7に搭載する。すなわち、第2半導体チップ2は上記接着剤により形成された接着剤層8を介して基板7に搭載されることとなる。

【0067】上記基板7としては、例えば、ワイヤボンダターミナルを有するリードフレームや、ポリイミド、ビスマレイミド・トリアジン樹脂等で作製された有機基板等を使用することができるが、これらに限定されず、任意の基板を用いることができる。上記接着剤層8を形成する接着剤としては、例えば液状の接着剤や、シート状の接着剤等を使用することができる。また、上記接着剤は、第1半導体チップ1の全領域と基板7とを均一に接着できるものであれば、その種類は問わない。

【0068】第2半導体チップ2を基板7に搭載した後に、基板7のワイヤボンディングターミナル部と第2半導体チップ2の電極端子21とを第2ボンディングワイヤー4により電氣的に接続する。

【0069】その後、基板7に搭載された第2半導体チップ2に第1半導体チップ1を接着する。上記接着は、第2半導体チップ2に設けられた電極端子21上の第2ボンディングワイヤー4が接続されている部分が接着層6により覆われるようにして行う。

【0070】上記接着を行う際には、基板7、第2半導体チップ2および第2ボンディングワイヤー4を加熱して、第1半導体チップ1の裏面に形成された接着層6を構成するエポキシ樹脂の軟化・熔融が始まる温度にしておくことが好ましい。例えば、上記接着層6を構成するエポキシ樹脂の軟化・熔融が始まる温度が100℃である場合には、基板7、第2半導体チップ2および第2ボンディングワイヤー4を加熱して100℃としておく。これにより、第1半導体チップ1と第2半導体チップ2とを接着する際に、第1半導体チップ1の裏面に形成された接着層6が軟化するため、第2ボンディングワイヤー4を損なうことなく両者を接着することが可能となる。

【0071】その後、接着層6を構成する熱硬化性樹脂を完全に硬化させた後に、基板7のワイヤボンディングターミナル部と第1半導体チップ1上の電極端子21とを第1ボンディングワイヤー3（図1参照）を用いて電氣的に接続する。

【0072】第1ボンディングワイヤー3および第2ボ



(8)

13

ンディングワイヤー4は、図8に示すように、それぞれ、第1半導体チップ1および第2半導体チップ2の周縁部と接触することも考えられる。このため、図9に示すように、第1半導体チップ1および第2半導体チップ2の電極端子21が設けられている面には、コーティング樹脂（絶縁性樹脂層）13が形成されていることが好ましい。コーティング樹脂13は、半導体チップとボンディングワイヤーとが接触することを防止するためのものであり、例えばポリイミド等の絶縁性樹脂が用いられる。

【0073】上述のようにして半導体チップを基板上に積層した後に、図4に示した封止樹脂15、およびハンダボールからなる外部接続用端子16を形成することにより、CSPを得ることができる。

【0074】基板上に半導体チップを積層した場合は、ボンディングワイヤーと半導体チップとを液状樹脂を用いたポッティングにより（樹脂）封止しても良い。

【0075】第2半導体チップ2に設けられた電極端子21と第2ボンディングワイヤー4とを接続する方法（ワイヤーボンディング法）として、電極端子21にバンプを形成した後にリバースワイヤーボンディング法を行うことは半導体装置の薄型化に有効である。これにより、接着層6の厚さA（図7参照）を薄くすることができるため、多数の半導体チップを積層してなる半導体装置の薄型化には特に有効である。

【0076】上述したように、接着層6の厚さAは、第2ボンディングワイヤー4の第2半導体チップ2からの高さB（図7参照）よりも小さいことが好ましい。リバースワイヤーボンディング法により上記接続を行うために必要なバンプの高さは、フォワードワイヤーボンディング法により接続された第2ボンディングワイヤー4の電極端子21が設けられた第2半導体チップ2の面からの高さB（図7参照）よりも小さくすることができる。このため、電極端子21にバンプ23（図7参照）を形成して、リバースワイヤーボンディング法を行うことにより接着層6の厚さを薄くすることができる。

【0077】例えば、上記バンプをその高さが $40\mu\text{m}$ となるように形成し、第1半導体チップ1の絶縁層5の厚さを $25\mu\text{m}$ 、接着層6の厚さを $50\mu\text{m}$ とした場合、絶縁層5と接着層6とからなるチップ積層部位の厚さは $75\mu\text{m}$ である。これに対して、フォワードワイヤーボンディング法を採用した場合には、ボンディングワイヤーの該ボンディングワイヤーが接続された半導体チップの面からの高さを小さくすることが困難であるため、上記チップ積層部位の厚さは約 $130\sim 160\mu\text{m}$ 程度となる。

【0078】すなわち、電極端子21と第2ボンディングワイヤー4とを接続する方法としてリバースワイヤーボンディング法を用いることにより、上記チップ積層部位を薄くできるため、半導体チップの多積層化・半導体

14

装置の薄型化に有利である。従って、従来のものよりも薄く、絶縁性等が確保された信頼性の高い半導体チップの積層を実現することが可能となる。

【0079】なお、リバースワイヤーボンディング法とは、基板とボンディングワイヤーとを接続した後に、半導体チップとボンディングワイヤーとを接続する方法をいい、その逆の順番で接続を行う方法をフォワードワイヤーボンディング法という。リバースワイヤーボンディング法を行う場合は、半導体チップに設けられた電極端子上に金バンプを形成し、最初にボンディングワイヤーと基板との接続を行い、その後に上記ボンディングワイヤーと上記金バンプとの接続を行う。

【0080】本実施の形態の半導体装置は、絶縁層により半導体チップとボンディングワイヤーとの絶縁性が十分に確保されていることから、積層される半導体チップのチップサイズは制約されない。このため、図10に示すように、第6半導体チップ32の基板7とは反対側の面に第6半導体チップ32よりもチップサイズの大きい第5半導体チップ31を積層することも可能である。

【0081】本実施の形態の半導体装置は、半導体チップに設けられている電極端子のボンディングワイヤーが接続された部位に半導体チップを積層することが可能であるため、例えば、積層される複数個の半導体チップを、図11または図12に示す配置（レイアウト）となるように組み合わせることも可能である。第6半導体チップ32を第5半導体チップ31の上に積層するよりも、同図に示した配置とすることにより、第6半導体チップ32と基板7（図10参照）とを接続する第2ボンディングワイヤー4のワイヤー長が短くなるという利点がある。

【0082】特に、図11に示すように、基板7（図10参照）に搭載されている第6半導体チップ32に、第6半導体チップ32よりも大きな第5半導体チップ31を、第5半導体チップ31と基板7との間に第2ボンディングワイヤー4が位置するように接着することにより、第5半導体チップ31と基板7との間の空間を有効に利用できる。このため、半導体装置をさらに小型化することができる。

【0083】また、図12に示すように、基板7（図10参照）に搭載されている第8半導体チップ42に、第8半導体チップ42とはチップサイズの異なる第7半導体チップ41を、第7半導体チップ41と基板7との間に第2ボンディングワイヤー4の一部が位置するように接着することにより、第7半導体チップ41と基板7との間の空間を有効に利用できる。これにより、半導体装置を小型化することができる。

【0084】以上のように、本実施の形態の半導体装置は、積層される半導体チップのチップサイズに制約を設けることなく、例えば同じチップサイズの複数個の半導体チップを積層することができる。このためより薄く、

(9)

15

より信頼性に優れた、積層構造を有する半導体装置を提供することができる。

【0085】本発明の半導体装置は、それぞれの主面上に複数個の電極端子を有した複数個の半導体チップが基板上に積層され、電極端子と基板はボンディングワイヤーで電氣的に接続された半導体装置において、任意の位置の上下の半導体チップの下層の半導体チップと上層の半導体チップ間は下層のチップ、接着層の樹脂、絶縁層の樹脂層、上層の半導体チップの順で、少なくとも下層の半導体チップのボンディングワイヤーで接続された電極端子の一部の上には上層の半導体チップが接着されている構成を有する第1半導体装置として構成されているもよい。

【0086】上記第1半導体装置は、下層の半導体チップの電極端子にはバンプが形成されており、下層の半導体チップと基板とを接続するボンディングワイヤーは、リバースワイヤーボンディング法で接続されたワイヤーであるものとして構成されているもよい。

【0087】上記第1半導体装置は、基板の一面に接続された半導体チップとボンディングワイヤーは樹脂で封止され、基板のその反対側には外部接続端子が形成されているものとして構成されているもよい。

【0088】上記第1半導体装置は、絶縁層はポリイミド系樹脂で、接着層がエポキシ系樹脂であるものとして構成されているもよい。

【0089】上記第1半導体装置は、絶縁層の厚さは15  $\mu\text{m}$ 以上30  $\mu\text{m}$ 以下の範囲内であるものとして構成されているもよい。

【0090】上記第1半導体装置は、下層に位置する半導体チップの主面上、特に電極端子部からチップ端は絶縁性の樹脂で被覆されているものとして構成されているもよい。

【0091】上記第1半導体装置は、下層に配置される半導体チップの電極端子部は開口されている絶縁性の樹脂で被覆されているものとして構成されているもよい。

【0092】本発明の半導体装置の製造方法は、半導体チップが分割される前のウェハー状態において、ウェハー裏面に絶縁性の樹脂層と接着性の樹脂層の2層からなるシートをウェハー裏面に絶縁性の樹脂層側を貼り付けダイシングにより、半導体チップに分割する工程と、上記分割された半導体チップをボンディングワイヤーにより基板と電氣的に接続されている半導体チップの上に接着する工程を有するものとして構成されているもよい。

【0093】本発明の半導体装置の製造方法は、半導体チップが分割される前のウェハー状態において、ウェハー裏面にシート状の絶縁性の樹脂層を貼り付け、続いてシート状の接着性の樹脂層を貼り付けダイシングにより、半導体チップに分割する工程と、上記分割された半導体チップをボンディングワイヤーにより基板と電氣的に接続されている半導体チップの上に接着する工程を有

16

するものであってもよい。

【0094】

【発明の効果】本発明の半導体装置は、以上のように、ボンディングワイヤーと、該ボンディングワイヤーが接続されている半導体チップの該ボンディングワイヤー側に積層されている半導体チップとの間に絶縁層が形成されている構成である。

【0095】それゆえ、例えば、複数個の半導体チップを積層した半導体装置を薄型化し、その外形寸法を小さくした場合においても、ボンディングワイヤーと半導体チップとが接触することを防ぐことができる。これにより、絶縁性の確保された信頼性の高い複数個の半導体チップを積層してなる半導体装置を提供することができるという効果を奏する。

【0096】本発明の半導体装置は、以上のように、上記絶縁層がポリイミド系樹脂であることが好ましい。

【0097】高温における塑性変形の少ないポリイミド系樹脂を選んで用いることにより、高温条件下における半導体装置の絶縁性をより確実にすることができるという効果を奏する。

【0098】本発明の半導体装置は、以上のように、上記絶縁層の厚さは15  $\mu\text{m}$ 以上30  $\mu\text{m}$ 以下の範囲内であることが好ましい。

【0099】これにより、絶縁性を確保しつつ、基板上に半導体チップを積層してなる半導体装置を薄型化することができるという効果を奏する。

【0100】本発明の半導体装置は、以上のように、上記電極端子にはバンプが形成されており、上記ボンディングワイヤーはリバースワイヤーボンディング法を用いて接続されていることが好ましい。

【0101】上記電極端子にバンプが形成され、該電極端子と上記基板とがリバースワイヤーボンディング法を用いて接続されていることにより、上記半導体チップ相互間の距離を小さくすること、および上記接続をより確実にすることができる。これにより、複数個の半導体チップを積層してなる半導体装置を容易に薄型化すること、およびその信頼性を向上させることができるという効果を奏する。

【0102】本発明の半導体装置は、以上のように、上記基板に積層された上記複数個の半導体チップおよび上記ボンディングワイヤーが封止樹脂により封止されており、かつ上記基板の上記複数個の半導体チップが積層された面と反対側の面に外部端子が形成されていることが好ましい。

【0103】これにより、半導体装置と外部とを電氣的に接続することができる、封止樹脂により保護された半導体装置を提供することができるという効果を奏する。

【0104】本発明の半導体装置は、以上のように、上記複数個の半導体チップ相互間に接着層が形成されていることが好ましい。

(10)

17

【0105】これにより、上記の接着層を用いて上記複数の半導体チップを接着して半導体チップを容易に積層することができるという効果を奏する。

【0106】本発明の半導体装置は、以上のように、上記接着層は上記絶縁層と上記基板側の上記半導体チップとの間に形成されていることが好ましい。

【0107】これにより、上記ボンディングワイヤーを上記接着層により保護することができるという効果を奏する。

【0108】本発明の半導体装置は、以上のように、上記接着層はエポキシ系樹脂により形成されていることが好ましい。

【0109】エポキシ系樹脂は、加熱により固体から液体に溶融しその後硬化する熱硬化性樹脂であるため、半導体チップを接着した後に硬化して上記ボンディングワイヤーを保護することができるという効果を奏する。

【0110】本発明の半導体装置は、以上のように、上記接着層の厚さは、上記ボンディングワイヤーの該ボンディングワイヤーが上記電極端子を介して接続されている上記半導体チップの面からの高さよりも大きいことが好ましい。

【0111】これにより、上記ボンディングワイヤーと上記絶縁層とが接触することを防ぐことができる。したがって、上記半導体チップとの接触による上記ボンディングワイヤーの損傷を確実に防止することができるという効果を奏する。

【0112】本発明の半導体装置は、以上のように、上記半導体チップの電極端子が設けられている面の該電極端子を除いた領域には絶縁性樹脂層が形成されていることが好ましい。

【0113】これにより、上記ボンディングワイヤーと、上記半導体チップとの接触を防止することができるという効果を奏する。

【0114】本発明の半導体装置の製造方法は、以上のように、絶縁層と接着層とからなるシートを、半導体チップが分割される前のウェハーに、該シートの絶縁層側が該ウェハーに接するように貼り付けるシート貼り付け工程と、上記シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、上記接着層により、該接着層の貼り付けられた半導体チップを、ボンディングワイヤーにより基板と電気的に接続されている半導体チップに接着する接着工程とを含む構成である。

【0115】本発明の半導体装置の製造方法は、以上のように、絶縁層と接着層とからなるシートを、半導体チップが分割される前のウェハーに、該シートの絶縁層側が該ウェハーに接するように貼り付けるシート貼り付け工程と、上記シートが貼り付けられたウェハーをダイシングにより半導体チップに分割する分割工程と、上記接着層により、該接着層の貼り付けられた半導体チップ

18

を、ボンディングワイヤーにより基板と電気的に接続されている半導体チップに接着する接着工程とを含む構成である。

【0116】それゆえ、半導体チップに分割する分割工程において、絶縁層および接着層と半導体チップとを1度に切り出すことにより、半導体チップのチップサイズと同じサイズの絶縁層および接着層を形成することができる。このため、接着層の接着領域、接着量、接着層厚さのコントロールを極めて容易に行うことが可能となり、本発明の半導体装置を容易かつ確実に製造することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す半導体装置の断面図である。

【図2】本発明の他の実施の形態を示すボンディングワイヤーがフォワードワイヤーボンディング法を用いて接続されている半導体装置の断面図である。

【図3】本発明のさらに他の実施の形態を示す4個の半導体チップを積層してなる半導体装置の断面図である。

【図4】本発明の他の実施の形態を示す封止樹脂により封止してなる半導体装置の断面図である。

【図5】本発明の半導体装置の製造方法におけるシート貼り付け工程を説明する斜視図である。

【図6】本発明の半導体装置の製造方法における分割工程を説明する断面図である。

【図7】本発明の半導体装置の製造方法における接着工程を説明する断面図である。

【図8】本発明の他の実施の形態を示す半導体装置の断面図である。

【図9】本発明の他の実施の形態を示す半導体チップの電極端子が設けられている面の電極端子を除いた領域には絶縁性樹脂層が形成されている半導体装置の断面図である。

【図10】本発明の半導体装置を構成する半導体チップの組み合わせの例を説明する断面図である。

【図11】本発明の半導体装置を構成する半導体チップの組み合わせの例を説明する平面図である。

【図12】本発明の半導体装置を構成する半導体チップの組み合わせの他の例を説明する平面図である。

【図13】積層される半導体チップの間にスペーサーが封入された構造の従来の半導体装置を説明する断面図である。

【図14】積層される半導体チップの間にスペーサーが封入された構造の従来の半導体装置が薄型化された場合を説明する断面図である。

【図15】半導体チップの周縁部が中央部に対して薄肉に形成された、段差を有する構造の従来の半導体装置を説明する断面図である。

【図16】従来の半導体チップの周縁部が中央部に対して薄肉に形成された、段差を有する構造の半導体装置が

(11)

19

薄型化された場合を説明する断面図である。

【図17】半導体チップ相互間に接着層を介在させて積層してなる構造の従来の半導体装置を説明する断面図である。

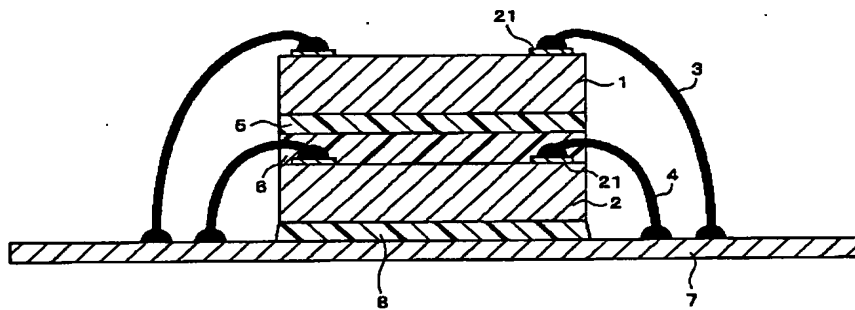
【図18】半導体チップ相互間に接着層を介在させて積層してなる構造の従来の半導体装置が薄型化された場合を説明する断面図である。

【符号の説明】

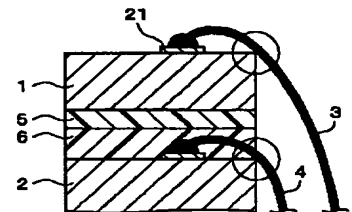
- 1 第1半導体チップ
- 2 第2半導体チップ
- 3 第1ボンディングワイヤー
- 4 第2ボンディングワイヤー
- 5 絶縁層
- 6 接着層

- 7 基板
- 13 コーティング樹脂（絶縁性樹脂層）
- 15 封止樹脂
- 16 外部接続用端子（外部端子）
- 18 第3半導体チップ
- 20 第4半導体チップ
- 21 電極端子
- 22 シート
- 23 バンプ
- 31 第5半導体チップ
- 32 第6半導体チップ
- 41 第7半導体チップ
- 42 第8半導体チップ
- 51 第9半導体チップ

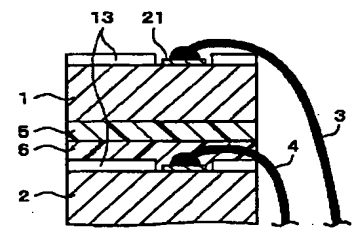
【図1】



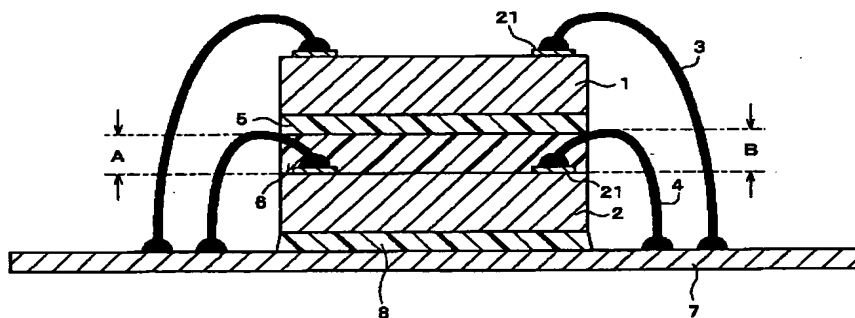
【図8】



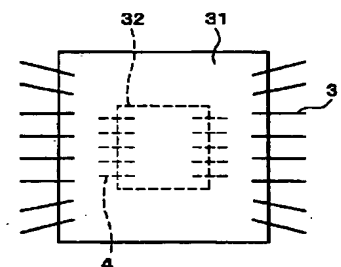
【図9】



【図2】

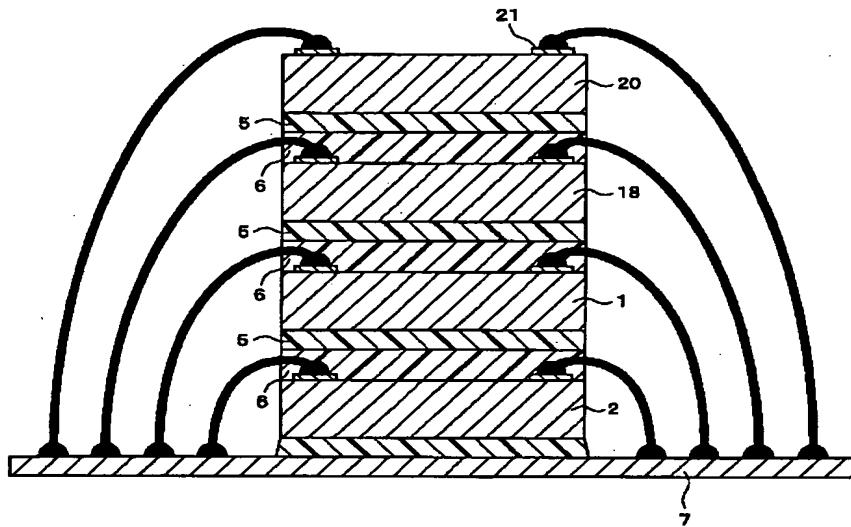


【図11】

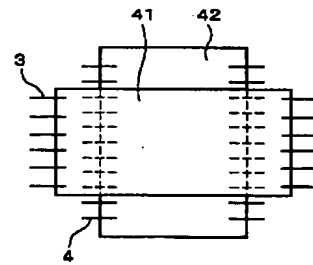


(12)

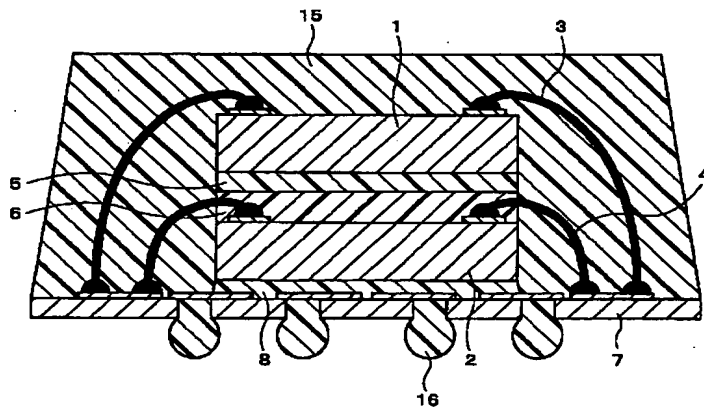
【図3】



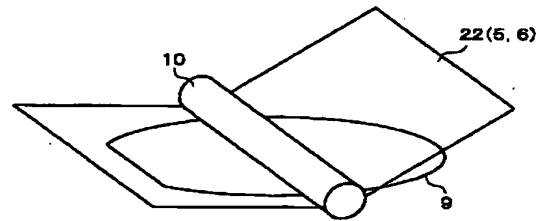
【図12】



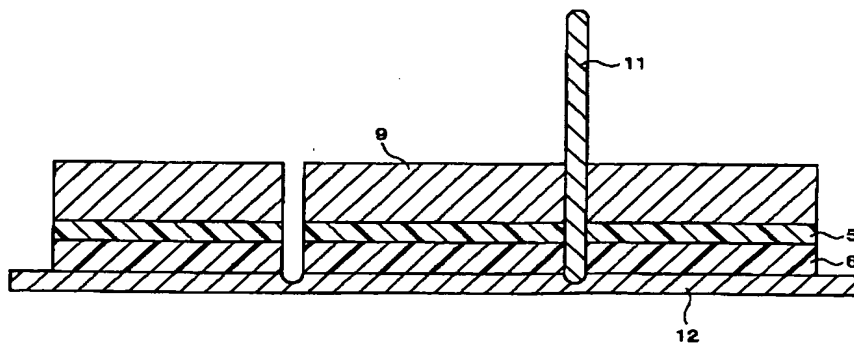
【図4】



【図5】

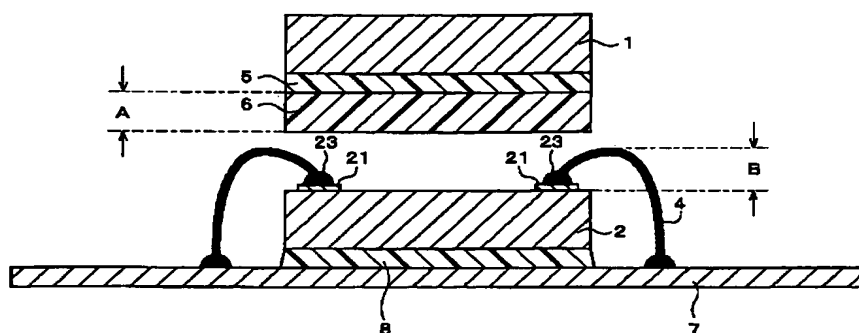


【図6】

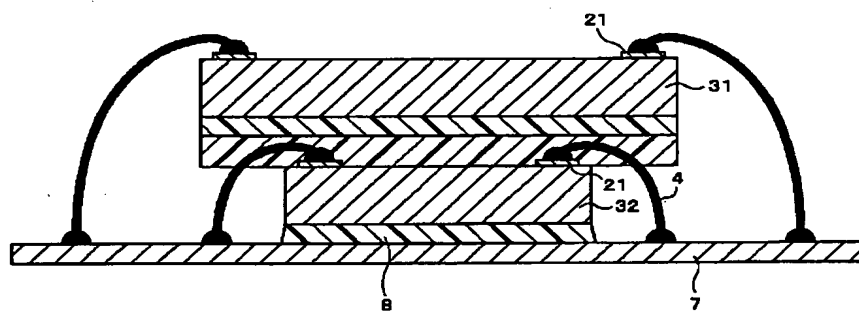


(13)

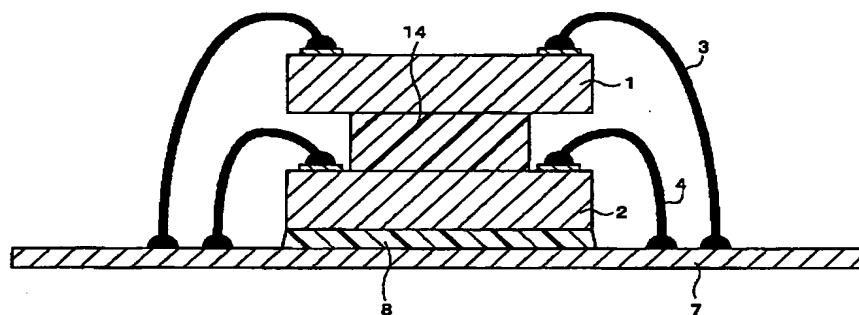
【図7】



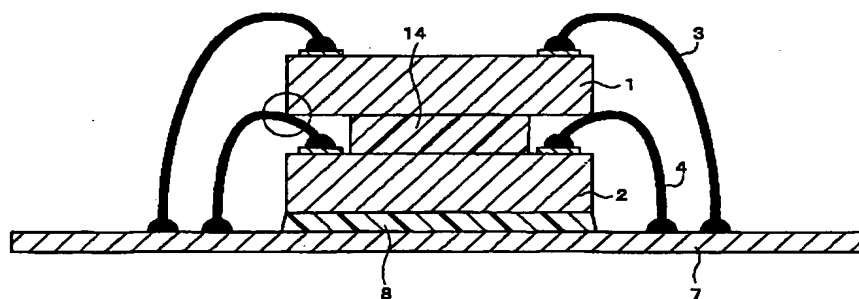
【図10】



【図13】

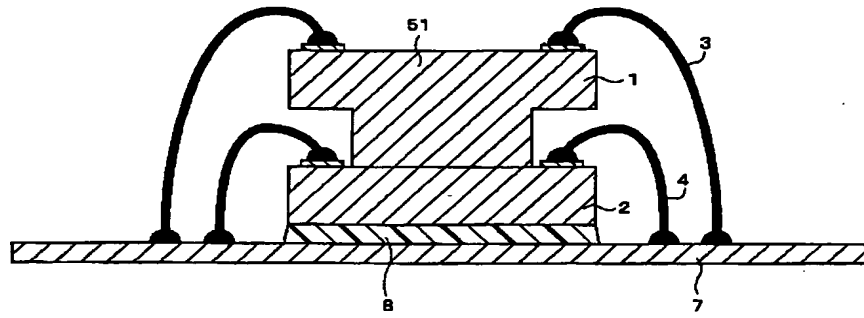


【図14】

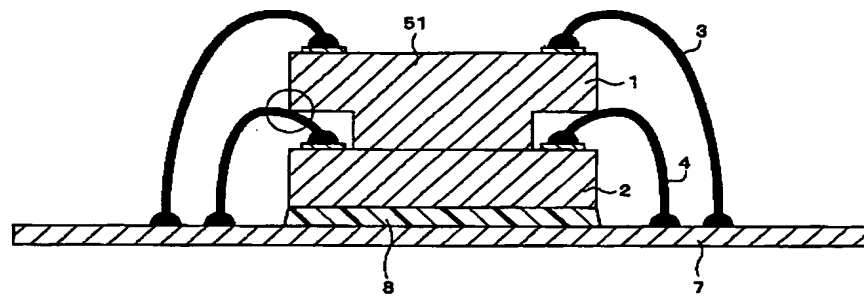


(14)

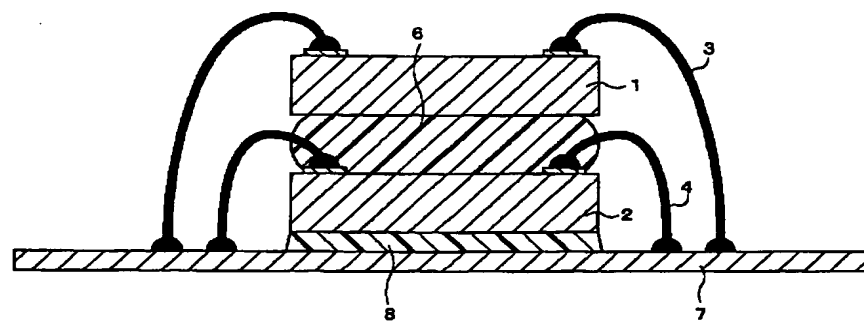
【図15】



【図16】



【図17】



(15)

【図18】

